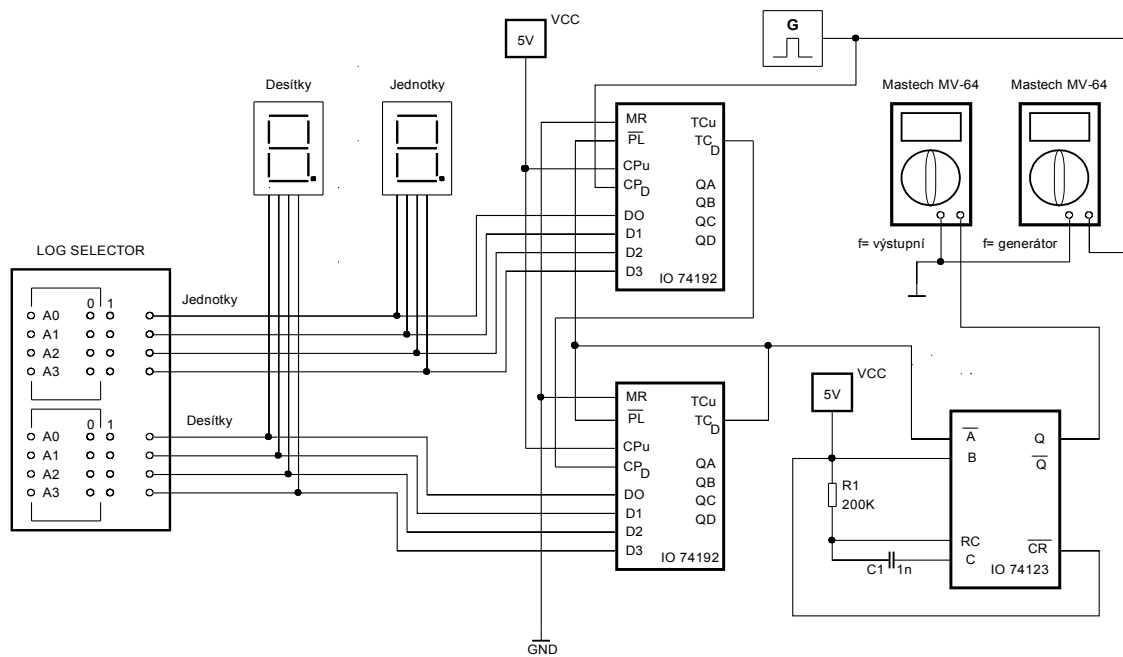




Číslicová technika

Michal Vávře



Úvodní slovo

Tato publikace je napsána na základě projektu s cílem vytvořit učebnu „*Počítačem plně podporovaná měřicí učebna pro analogovou a digitální analýzu elektronických obvodů s podporou simulačního programu a následně navazující implementací do interaktivní formy výuky pomocí SMART BOARDU*“.

Cílem projektu je vytvoření výukových materiálů a jejich pilotní ověření v praxi, které žákům umožní v nově vybudované učebně simulovat závady v elektronických a elektrotechnických obvodech, odstraňovat je a aplikovat na konkrétní požadované funkce integrované do systému složitějších a na sebe navazujících bloků a celků.

Součástí tohoto projektu je nastavení systému spolupráce dílen odborného výcviku.

Electronics Workbench Multisim – uživatelský manuál s podrobným vysvětlením funkce.

Úlohy pro simulační program Multisim 10.0 – 32 kompletně vypracovaných úloh pro simulační program Multisim, z nichž polovinu tvoří úlohy pro pracoviště analogových měření a druhou polovinu zastupují úlohy zabývající se digitální technikou a obvody TTL.

IP technologie určené k přenosu dat, zálohování dat, zajištění přenosu informací mezi dílnami – IP kamery, datové sítě a možnosti dnešních komunikačních programů v reálném prostředí s maximálním využitím klasického počítače, jakožto prostředku k zálohování dat, přenosu informací a komunikaci.

Základy elektrického měření – základní principy měření, používané metody měření, druhy měř. přístrojů a úlohy pro měření.

Číslicová technika – základy číslicové techniky, principy funkce klopných obvodů, úlohy pro stavbu obvodů v prostředí Dominoputer.

Poděkování

Chtěl bych poděkovat za technickou kontrolu a cenné připomínky ke knize panu Ing. Aleši Voborníkovi, Ph.D. z oddělení měření KET ZČU.

© 2007 Střední odborné učiliště elektrotechnické, Vejprnická 56, 31800, Plzeň

Tento projekt je spolufinancován Evropským sociálním fondem a státním rozpočtem České republiky.

Obsah:

1. Číslicová a analogová technika	2
1.1 Vymezení pojmu	2
1.2 Druhy přenosového signálu	2
2. Základní pojmy v číslicové technice	2
3. Základní logické funkce	3
4. Hradla s mírně specifickou funkcí	5
5. Náhradní zapojení jednotlivých logických členů	6
6. Vytvoření vícevstupového hradla ze tří a více dvouvstupových hradel	8
AND, NAND a OR	
7. Ošetřování nezapojených vstupů	12
8. Integrované obvody řady TTL	13
8.1 Statické parametry	13
8.2 Vnitřní zapojení vybraných IO řady TTL - 7400 až 7493	14
8.3 Vnitřní zapojení vybraných IO řady TTL - 74112 až 74193	26
9. Klopné obvody v číslicové technice	32
9.1 RS klopný obvod	32
9.2 RST klopný obvod	33
9.3 Klopný obvod typu D	34
9.4 JK klopný obvod	35
10. Využití JK klopného obvodu jako čítače	37
10.1 Čítač impulzů 7490 a 7493	37
10.1.1 Astabilní klopný obvod jako generátor impulzů pro čítače 7490 a 7493 z JK KO	37
10.2 Rozdělení čítačů	39
10.3 Čítač 7490 z JK KO	39
10.4 Čítač 7493 z JK KO	40
10.5 Čítač 7493 z JK KO upravený jako modulo 9	41
10.6 Čítač 7493 z JK KO upravený jako modulo 11	42
11. Měření na konkrétních úlohách	42
11.1 Úloha č. 1 Mobilní telefon	43
11.2 Úloha č. 2 Digitální hodiny s přednastavením	47
11.3 Úloha č. 3 Programovatelná dělička frekvence	51
11.4 Úloha č. 4 Generátor sinusového signálu	57

1. Číslicová a analogová technika

Číslicová a analogová technika: vymezení pojmu, porovnání z hlediska zpracovávaného signálu.

1.1 Vymezení pojmu

Analogová technika: druh techniky zabývající se návrhem a stavbou těch zařízení, ve kterých je přenos a zpracovávání informací prováděno analogovými tj. spojitými signály.

Číslicová technika: okruh techniky, která se zabývá návrhem a stavbou obvodů a zařízení, ve kterých je přenos a zpracovávání informací zprostředkováno číslicovými signály, nabývajícími několika pevných logických úrovní.

1.2 Druhy přenosového signálu

Analogový signál: může nabývat libovolné hodnoty uvnitř daných mezí v závislosti na čase, jejich nárůst a pokles je časově spojitý. Přechod z minimální do maximální hodnoty trvá určitý časový úsek a děje se plynule.

Číslicový signál: obvykle může nabývat pouze dvou (nebo více) hodnot uvnitř daných mezí. Tyto hodnoty jsou značeny u číslicové techniky jako $H(1)$ a $L(0)$. To neplatí pro negativní logiku ECL (emitorově vázaná logika), kde je to opačně.

2. Základní pojmy v číslicové technice

Dvojkový číslicový signál: může nabývat pouze dvou hodnot (L , H). Hodnotám L a H jsou přiřazena určitá napětí např. u obvodů TTL je pro úroveň H vymezena hranice od 2,4 – 5 V a pro úroveň L : 0 – 0,7 V.

Logická funkce: závislost dvojkové proměnné (stavu výstupu) na jiných dvojkových proměnných (stavech vstupů).

Logické operátory: vyjadřují vzájemnou závislost proměnných (AND, OR, NOT).

Hradlo: je prostředek k realizaci logické funkce (elektronické zapojení je uspořádáno tak, aby plnilo určitou logickou funkci).

Integrovaný obvod: obsahuje logické členy plnící určitou logickou funkci. Jejich počet je omezen počtem vývodů pouzdra integrovaného obvodu.

Čítače: jedná se o speciální integrované obvody počítající vstupní impulzy často používané v automatizaci, průmyslu, výzkumu apod. Tyto obvody mají za úkol např. počítat automobily, které projely křižovatkou, léky – pilulky, které jsou v jednom balení pro pacienta nebo listy kancelářského papíru, či bankovky na přepážce bankovního ústavu apod.

Čítače synchronní: čítače jejichž hodinové vstupy jsou připojeny na jeden společný taktovací signál. Všechny klopné obvody se překlápí v jednom okamžiku.

3. Základní logické funkce

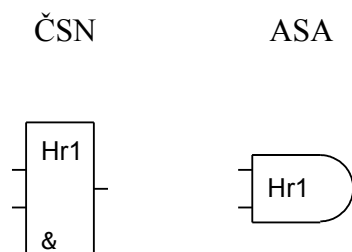
Logickou funkci je možné vyjádřit:

- logickým operátorem (např. funkci logického součinu *logickým operátorem AND*),
- algebraickým výrazem ($Y = A * B$),
- slovní definicí,
- pravdivostní tabulkou,
- časovým diagramem,
- popřípadě schématickou značkou.

AND – logický součin - na výstupu je logická 1 pouze tehdy, je-li na obou vstupech úroveň 1

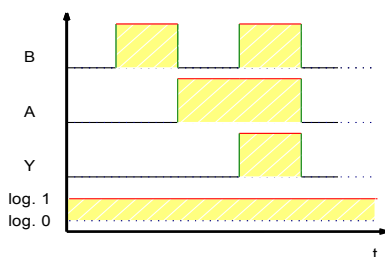
$$Y = A * B$$

Norma značení



Obrázek č. 1

Grafické vyhodnocení



Graf č. 1

Tabulka

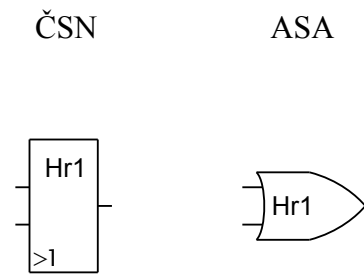
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Tabulka č. 1

OR – logický součet - na výstupu je logická 1 vždy, je-li alespoň na jednom vstupu úroveň 1

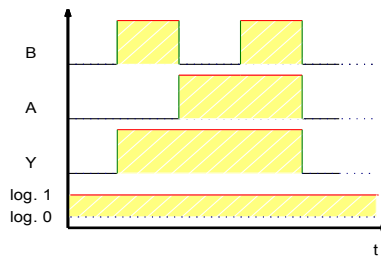
$$Y = A + B$$

Norma značení



Obrázek č. 2

Grafické vyhodnocení



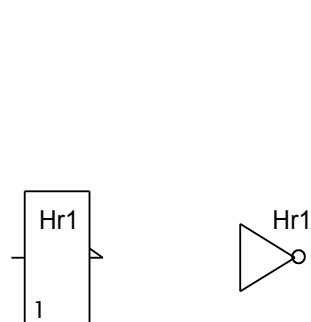
Graf č. 2

Tabulka

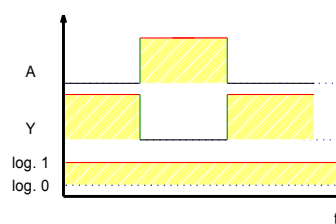
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Tabulka č. 2

NOT – funkce negace - na výstupu je opačná úroveň než na vstupu



Obrázek č. 3

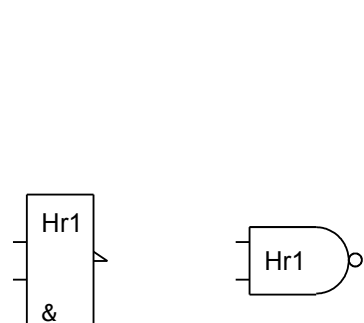


Graf č. 3

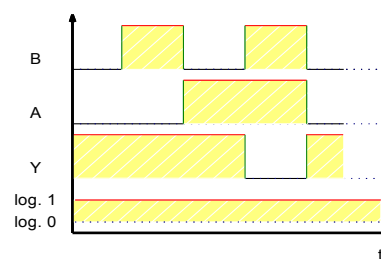
A	Y
0	1
1	0

Tabulka č. 3

NAND – negace logického součinu - na výstupu je úroveň 0 pouze tehdy, je-li na obou vstupech úroveň 1



Obrázek č. 4



Graf č. 4

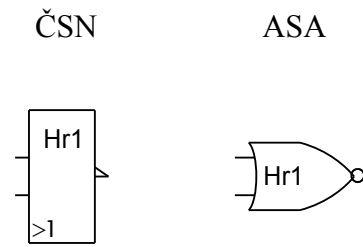
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Tabulka č. 4

NOR – negace logického součtu - na výstupu je úroveň 1 pouze tehdy, je-li na obou vstupech úroveň 0

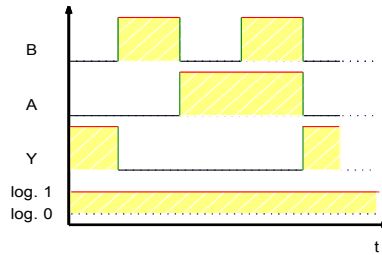
$$Y = \overline{A + B}$$

Norma značení



Obrázek č. 5

Grafické vyhodnocení



Graf č. 5

Tabulka

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

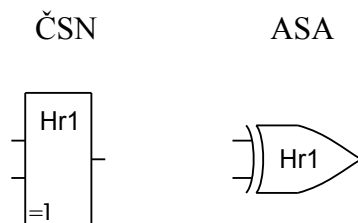
Tabulka č. 5

4. Hradla s mírně specifickou funkcí

XOR – výběrový součet - na výstupu je úroveň 1 pouze tehdy, je-li právě na jednom vstupu úroveň 1

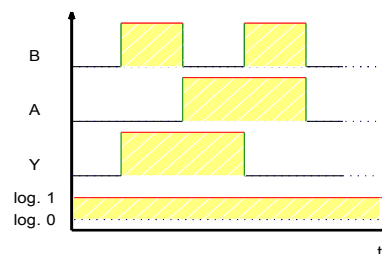
$$Y = A \oplus B$$

Norma značení



Obrázek č. 6

Grafické vyhodnocení



Graf č. 6

Tabulka

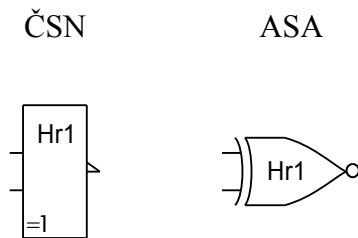
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Tabulka č. 6

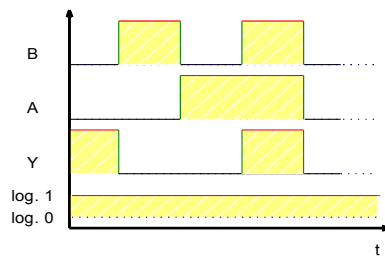
XNOR – výběrový součet negovaný - na výstupu je úroveň 0 pouze tehdy, je-li právě na jednom vstupu úroveň 1

$$Y = \overline{A \oplus B}$$

Norma značení



Grafické vyhodnocení



Tabulka

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Obrázek č. 7

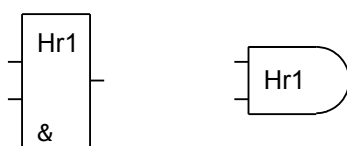
Graf č. 7

Tabulka č. 7

5. Náhradní zapojení jednotlivých logických členů z hradel NAND

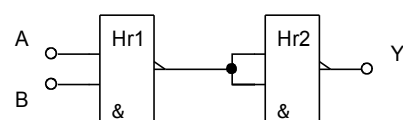
Veškeré logické funkce OR, AND, NOT, NOR, NAND, XOR a XNOR je možné též realizovat pomocí náhradního zapojení z hradel NAND. Funkce takového zapojení je totožná s funkcí jednotlivých hradel, přičemž toto zapojení je možné využít skutečně pouze jen jako „náhradní“, vzhledem k jeho velké ekonomické a prostorové náročnosti. Jedinou výjimkou, kdy je možné využít náhradní zapojení určitého logického členu pomocí hradel NAND, je vícevstupový člen XOR. Tento člen je v praktickém zapojení realizován jen jako dvouvstupový XOR. IO obsahující vícevstupový XOR neexistuje.

Logický člen AND



Obrázek č. 8a

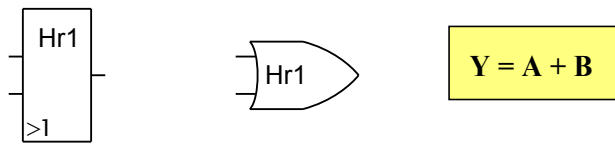
Náhradní zapojení



Obrázek č. 8b

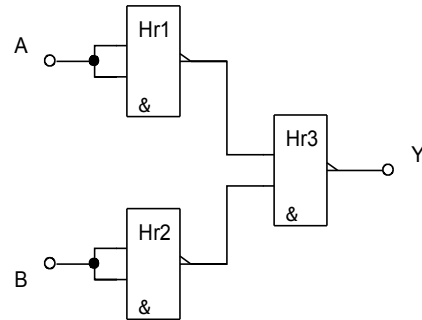
$$Y = A * B$$

Logický člen OR



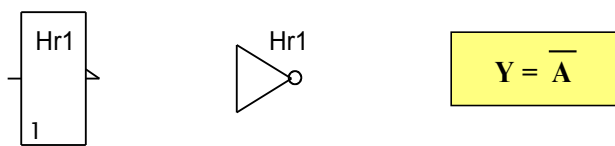
Obrázek č. 9a

Náhradní zapojení

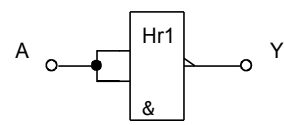


Obrázek č. 9b

Logický člen NOT

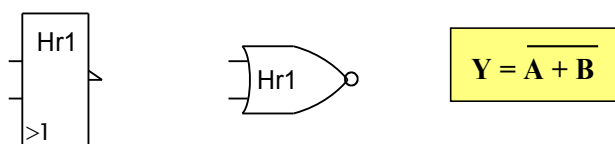


Obrázek č. 10a

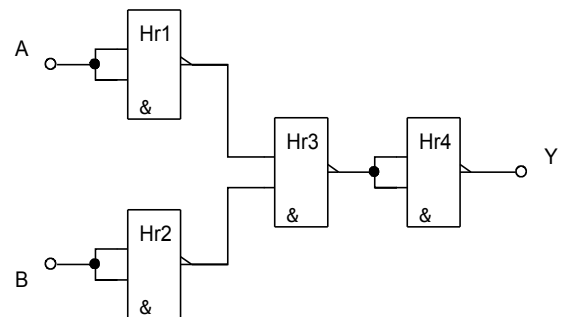


Obrázek č. 10b

Logický člen NOR

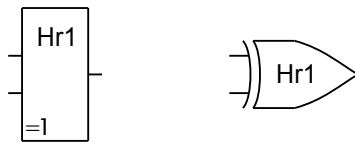


Obrázek č. 11a



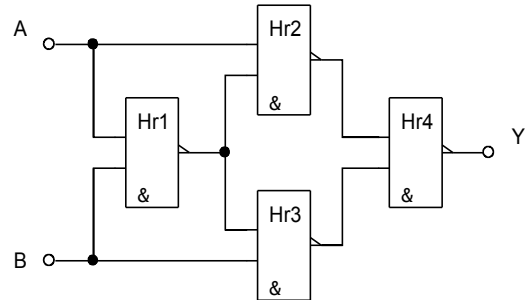
Obrázek č. 11b

Logický člen XOR



$$Y = A \oplus B$$

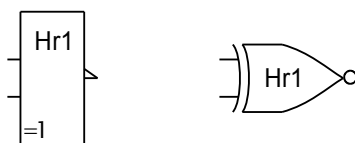
Náhradní zapojení



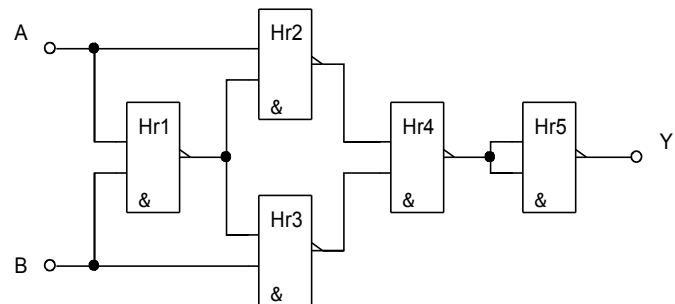
Obrázek č. 12a

Obrázek č. 12b

Logický člen XNOR



$$Y = \overline{A \oplus B}$$



Obrázek č. 13a

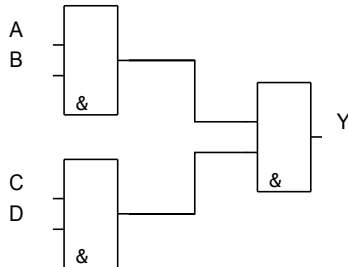
Obrázek č. 13b

6. Vytvoření vícevstupového hradla ze tří a více dvouvstupových hradel AND, NAND a OR

V některých případech máme zapotřebí použití vícevstupového hradla AND, NAND, OR, NOR, popřípadě hradla XOR, které ovšem nemusíme mít k dispozici v profesionální integrované verzi. V takovém případě je možné použití náhradního zapojení s rozšířeným počtem vstupů, které, rovněž jako náhradní zapojení jednotlivého logického členu, plně nahradí jeho funkci. Použití tohoto zapojení je možné spíše jen jako **nouzové** a to z důvodu, že je v konečném důsledku náročnější jak po ekonomické stránce, tak po stránce prostorové. Jedno funkční hradlo je totiž nahrazeno několika hradly s naprosto stejnou funkcí. Z několika správně zapojených dvouvstupových hradel je možné vytvořit jedno n-vstupové hradlo AND, NAND, OR apod.

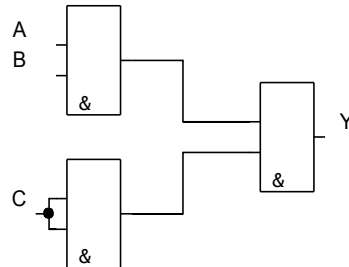
Druhy zapojení jednotlivých n-vstupových hradel

Způsob zapojení tří dvouvstupových hradel AND jako jedno hradlo AND čtyřvstupové a jedno hradlo třívstupové:



Obrázek č. 14a

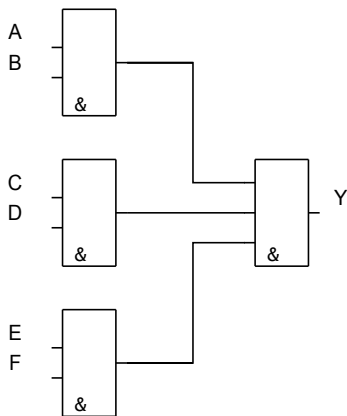
4 vstupový AND



Obrázek č. 14b

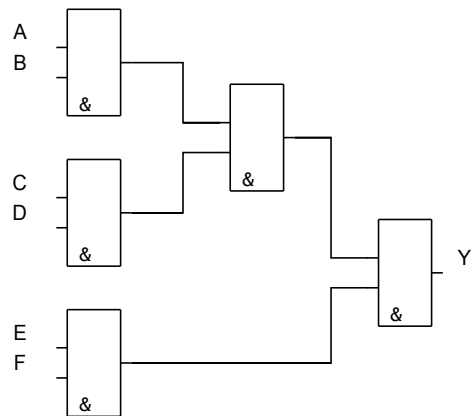
(spojením dvou vstupů hradla vytvoříme)
3 vstupový AND

Zapojení čtyř a pěti dvouvstupových hradel AND jako jedno hradlo AND šestivstupové:



Obrázek č. 15a

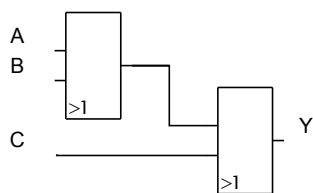
6 vstupový AND



Obrázek č. 15b

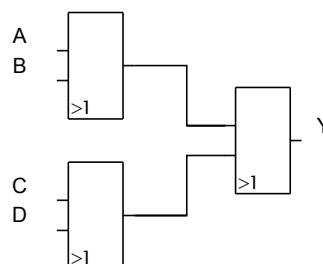
6 vstupový AND

Zapojení dvou a tří dvouvstupových hradel OR jako jedno hradlo OR třívstupové a čtyřvstupové:



Obrázek č. 16a

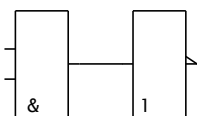
3 vstupový OR



Obrázek č. 16b

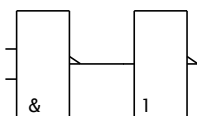
4 vstupový OR

Poznámka: Zapojením invertoru na výstup jakéhokoliv hradla nebo skupiny hradel s funkcí logického součtu a součinu, funkcí XOR a jejich negace, je možné vytvořit další náhradní zapojení hradla s funkcí jak negovanou, tak nenegovanou. Můžeme tak vyřešit případný nedostatek jednoho hradla v případě dvou a více nezapojených hradel příslušného typu. Také toto řešení je nutné brát pouze jako nouzové, ze stejného důvodu jako ve výše uvedeném případě.



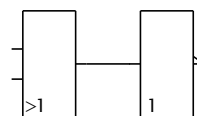
Obrázek č. 17a

AND + NOT = NAND



Obrázek č. 17b

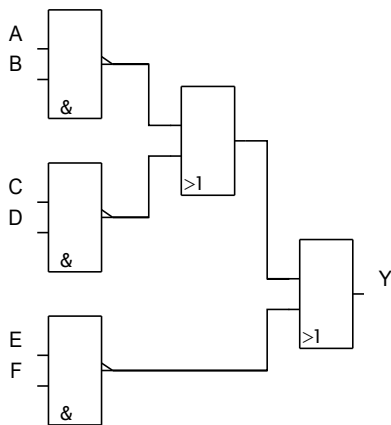
NAND + NOT = AND



Obrázek č. 17c

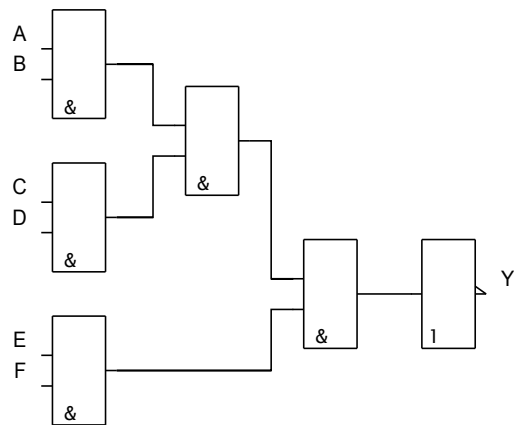
OR + NOT = NOR apod.

Jiný způsob zapojení pěti a šesti dvouvstupových hradel jako jedno šestivstupové hradlo NAND:



Obrázek č. 18a

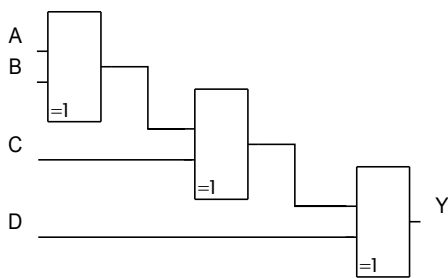
6 vstupový NAND



Obrázek č. 18b

6 vstupový NAND

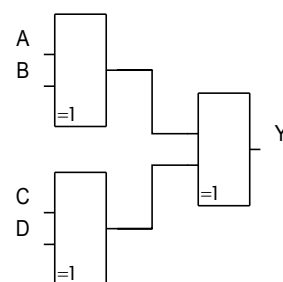
Rozšíření dvouvstupového hradla XOR na čtyřvstupové hradlo XOR a XNOR:



Obrázek č. 19a

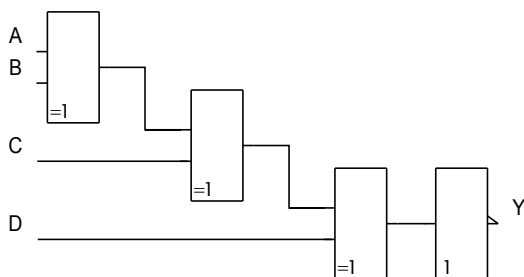
4 vstupové hradlo XOR

(odstraněním posledního hradla vznikne 3 vst. XOR)



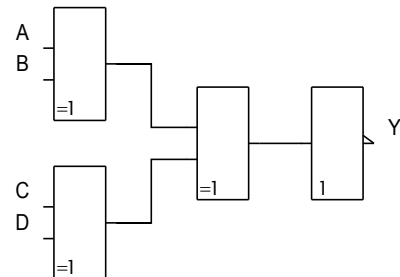
Obrázek č. 19b

4 vstupové hradlo XOR



Obrázek č. 20a

4 vstupové hradlo XNOR



Obrázek č. 20b

4 vstupové hradlo XNOR

7. Ošetřování nezapojených vstupů

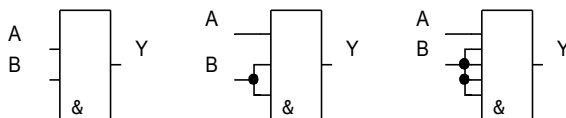
V číslicové technice je nutné dbát pravidla na ošetřování nezapojených vstupů. Jedná se o případy, kdy je při zapojování určitého číslicového obvodu použit integrovaný obvod s hradly s jinými počty vstupů, než požaduje ono konstruované zapojení. V takovém případě je nutné použít metodu ošetření nezapojených vstupů z důvodu zamezení náhodných a nepravidelných stavů v testovaném obvodu. Ošetření nezapojených vstupů se provádí způsobem, který umožní bezporuchový chod zapojovaného obvodu. Ošetření nezapojených vstupů je možné provést dvojím způsobem:

- spojením vstupů
- připojením volného vstupu na log. „1“ popřípadě „0“ (volba závislá na typu ošetřovaného hradla)

Ošetření nezapojeného vstupu součinného hradla AND provedeme buď spojením vstupů nebo připojením přebytečného vstupu na úroveň log. „1.“ V opačném případě připojením tohoto vstupu na log. „0“ by byl výstup trvale nastaven na úroveň log. „0.“

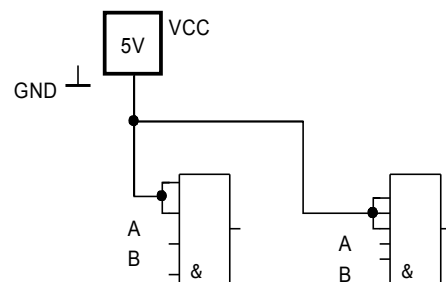
Ošetření nezapojeného vstupu součtového hradla OR provedeme buď opět spojením vstupů nebo připojením zbývajících vstupů na úroveň log. „0.“ V opačném případě připojením tohoto vstupu na úroveň log. „1“ by byl výstup trvale nastaven na úroveň log. „1.“

Ošetřování nezapojených vstupů hradel NAND a NOR provádíme stejným způsobem. Žádný vstup využívaného hradla nesmí zůstat nezapojený!



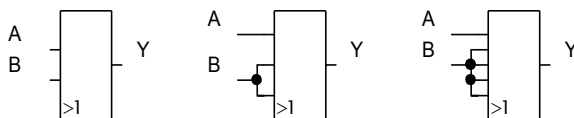
Obrázek č. 21a

ošetření hradla AND pomocí spojených vstupů



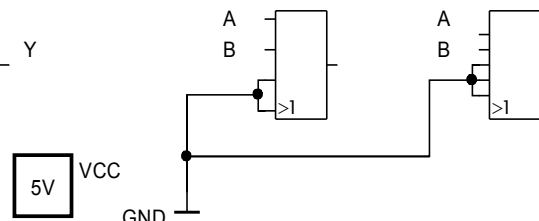
Obrázek č. 21b

ošetření připojením na log. „1“



Obrázek č. 22a

ošetření hradla OR pomocí spojených vstupů



Obrázek č. 22b

ošetření připojením na log. „0“

8. Integrované obvody řady TTL

Vnitřní zapojení vybraných IO řady TTL

Nyní si uvedeme některé nejpoužívanější **integrované obvody (IO)**, pomocí kterých si později zhotovíme několik jednoduchých i náročnějších zapojení. IO si uvedeme včetně způsobu jejich vnitřního zapojení, spolu s jednoduchou slovní charakteristikou. Pro některá naše zapojení automatizačních obvodů je možné použít integrované obvody řady TTL. Některé jejich výhody jako je velká rychlost, spolehlivost, velká zatížitelnost, dokáží do určité míry znevážit některé jejich nevýhody, vyšší spotřeba oproti integrovaným obvodům CMOS, vyšší cena apod. Jednou velkou výhodou obvodů TTL oproti obvodům řady CMOS je v jejich odolnosti oproti elektrostatické energii. Napájecí napětí pro tyto obvody je shodné a jednotné 5V ss. Plus pól je označen U_{cc} (+), mínus pól je označen GND (\perp). Nejdříve si uvedeme některé jejich parametry.

8.1 Statické parametry

Platnost statických parametrů je zaručena při dodržení pracovních teplot a odpovídajícího napájecího napětí.

Napájecí napětí pro obvody TTL:

74xxx:	$U_{cc} = 5V \pm 5\%$	tj. 4,75 – 5,25V	0 – 70 °C
54xxx:	$U_{cc} = 5V \pm 10\%$	tj. 4,5 – 5,5V	- 55 – 125 °C

Vstupní napětí: Velikost vstupního napětí (U_{IH}) je napětí, které je obvodem ještě považováno za úroveň:

$$H (\log.1) = 2V \qquad L (\log.0) = 0,8V$$

Výstupní napětí: Je minimální napětí (U_{OH}) na výstupu při úrovni H nebo L. Pro všechna provedení obvodů TTL je to napětí:

$$H (\log.1) = 2,4V \qquad L (\log.0) = 0,4V$$

Typická úroveň výstupního napětí ve stavu L je 0,2 V a ve stavu H přibližně 3,4 V.

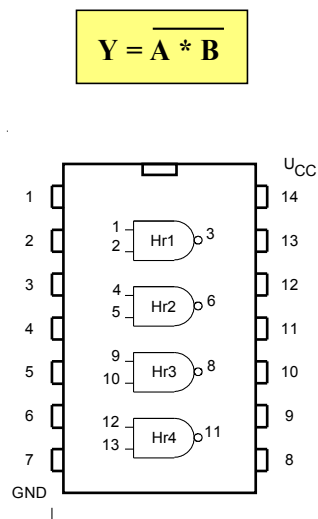
Logický zisk:

Při porovnání vstupních a výstupních proudů je patrné, že vstupní proudy jsou desetkrát větší než proudy vstupní, u výkonových IO až 30x, to znamená, že každý standardní výstup TTL může budít až deset standardních vstupů. Říkáme, že obvod má logický zisk N. Logický zisk obvodů TTL je $N = 10$. (Logický zisk nemá jednotku.)

8.2 Vnitřní zapojení vybraných IO řady TTL - 7400 až 7493

Integrovaný obvod 7400

Tento IO obsahuje 4 nezávislá dvouvstupová hradla NAND. Každé z nich realizuje funkci negovaného logického součinu dvou proměnných A a B:



Obrázek č. 23

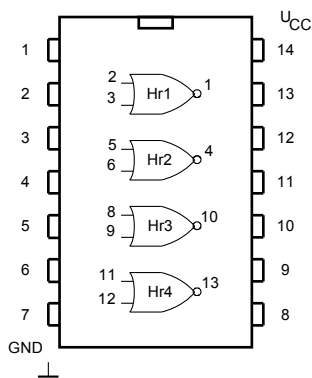
Legenda:	hradlo 1: vstupy - 1,2	výstup - 3
	hradlo 2: vstupy - 4,5	výstup - 6
	hradlo 3: vstupy - 9,10	výstup - 8
	hradlo 4: vstupy - 12,13	výstup - 11

Poznámka: Vstupy integrovaného obvodu se značí písmeny od počátku abecedy (A, B, ...), výstupy IO naopak písmeny od konce abecedy (Q, Y.)

Integrovaný obvod 7402

Tento IO obsahuje 4 nezávislá **dvouvstupová hradla NOR**. Každé z nich realizuje funkci negovaného logického součtu dvou proměnných A a B:

$$Y = \overline{A + B}$$



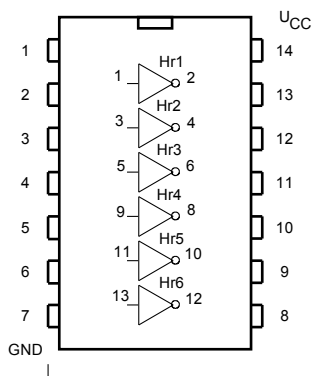
Obrázek č. 24

Legenda:	hradlo 1: vstupy - 2,3	výstup - 1
	hradlo 2: vstupy - 5,6	výstup - 4
	hradlo 3: vstupy - 8,9	výstup - 10
	hradlo 4: vstupy - 11,12	výstup - 13

Integrovaný obvod 7404

Tento IO obsahuje 6 nezávislých **invertorů**. Každý z nich realizuje funkci negace:

$$Y = \overline{A}$$



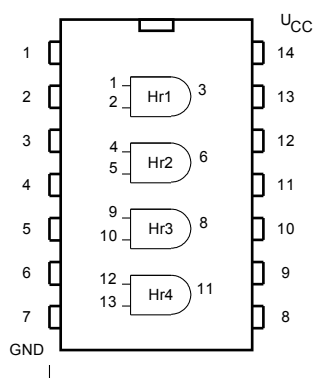
Obrázek č. 25

Legenda:	hradlo 1: vstup - 1	výstup - 2
	hradlo 2: vstup - 3	výstup - 4
	hradlo 3: vstup - 5	výstup - 6
	hradlo 4: vstup - 9	výstup - 8
	hradlo 5: vstup - 11	výstup - 10
	hradlo 6: vstup - 13	výstup - 12

Integrovaný obvod 7408

Tento IO obsahuje 4 nezávislá dvouvstupová hradla AND. Každé z nich realizuje funkci logického součinu dvou proměnných A a B:

$$Y = A * B$$



Obrázek č. 26

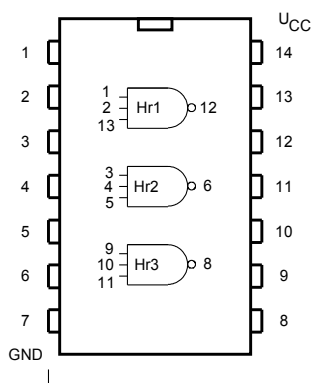
Legenda:	hradlo 1: vstupy - 1,2	výstup - 3
	hradlo 2: vstupy - 4,5	výstup - 6
	hradlo 3: vstupy - 9,10	výstup - 8
	hradlo 4: vstupy - 12,13	výstup - 11

Poznámka: Další provedení integrovaných obvodů, jako je např. IO 7401, 7403, 7405, 7406, 7407 apod., jsou integrované obvody stejné funkce jako integrované obvody výše uvedené ovšem s rozdílem, že se jedná o obvody s tzv. „otevřeným kolektorem.“ Přítomnost logické „1“ se zde zajišťuje pomocí vnějšího rezistoru, který zapojíme mezi výstup a kladné napájecí napětí. Tento rezistor může být společný i pro více hradel. Hodnota tohoto rezistoru bývá při napájecím napětí 5V přibližně okolo 1KΩ.

Integrovaný obvod 7410

Tento IO obsahuje **3** nezávislá **třívstupová hradla NAND**. Každé z nich realizuje funkci negovaného logického součinu tří proměnných A, B a C:

$$Y = \overline{A * B * C}$$



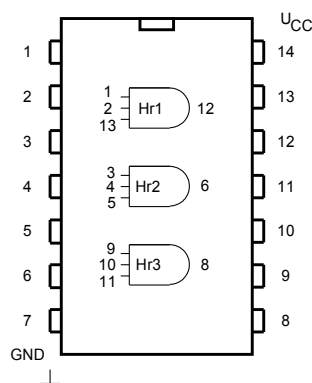
Obrázek č. 27

Legenda:	hradlo 1: vstupy - 1,2,13	výstup - 12
	hradlo 2: vstupy - 3,4,5	výstup - 6
	hradlo 3: vstupy - 9,10,11	výstup - 8

Integrovaný obvod 7411

Tento IO obsahuje **3** nezávislá **třívstupová hradla AND**. Každé z nich realizuje funkci logického součinu tří proměnných A, B a C:

$$Y = A * B * C$$



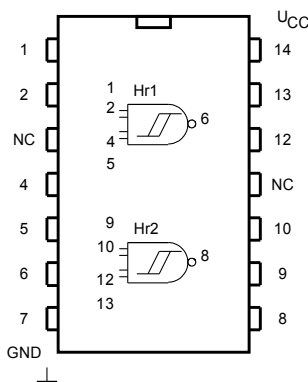
Obrázek č. 28

Legenda: **hradlo 1:** vstupy - 1,2,13 výstup - 12
 hradlo 2: vstupy - 3,4,5 výstup - 6
 hradlo 3: vstupy - 9,10,11 výstup - 8

Integrovaný obvod 7413

Tento IO obsahuje **2** nezávislá **čtyřvstupová hradla NAND**. Každé z nich realizuje funkci negovaného logického součinu čtyř proměnných A, B, C a D:
 Všechny vstupy jsou vybaveny Schmittovým klopným obvodem. Tento IO je vhodný pro úpravu hran a pro převod zašuměného nebo pomalu se měnícího signálu na signál vhodný pro zpracování číslicovými obvody.

$$Y = \overline{A * B * C * D}$$



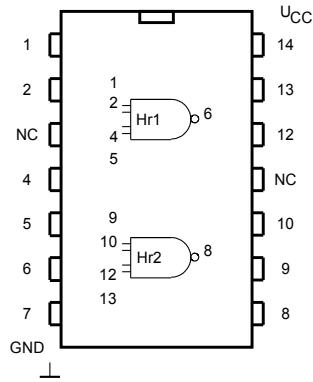
Obrázek č. 29

Legenda: **hradlo 1:** vstupy - 1,2,4,5 výstup - 6
 hradlo 2: vstupy - 9,10,12,13 výstup - 8

Integrovaný obvod 7420

Tento IO obsahuje **2** nezávislá **čtyřvstupová hradla NAND**. Každé z nich realizuje funkci negovaného logického součinu čtyř proměnných A, B, C a D:

$$Y = \overline{A * B * C * D}$$



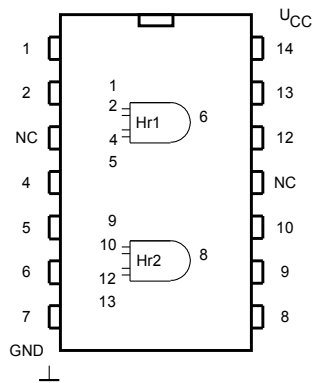
Obrázek č. 30

Legenda: **hradlo 1:** vstupy - 1,2,4,5 výstup - 6
 hradlo 2: vstupy - 9,10,12,13 výstup - 8

Integrovaný obvod 7421

Tento IO obsahuje **2** nezávislá **čtyřvstupová hradla AND**. Každé z nich realizuje funkci logického součinu čtyř proměnných A, B, C a D:

$$Y = A * B * C * D$$



Obrázek č. 31

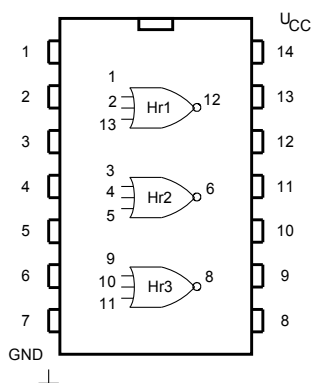
Legenda: **hradlo 1:** vstupy - 1,2,4,5 výstup - 6
 hradlo 2: vstupy - 9,10,12,13 výstup - 8

Poznámka: IO 7412, 7415, 7416, 7417 jsou opět IO totožné s IO uvedenými výše, opatřené navíc pouze otevřeným kolektorovým výstupem. Jedinou výjimku tvoří IO 7417 6x neinvertující budič s otevřeným kolektorem. Vnitřní zapojení tohoto IO zde není uvedeno.

Integrovaný obvod 7427

Tento IO obsahuje 3 nezávislá **třívstupová hradla NOR**. Každé z nich realizuje funkci negovaného logického součtu o třech proměnných A, B a C:

$$Y = \overline{A + B + C}$$



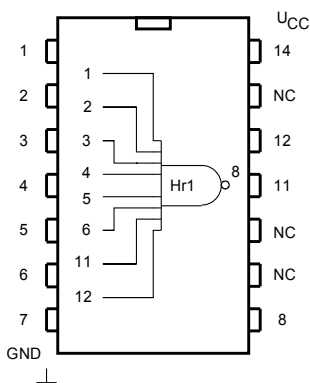
Obrázek č. 32

Legenda:	hradlo 1: vstupy - 1,2,13	výstup - 12
	hradlo 2: vstupy - 3,4,5	výstup - 6
	hradlo 3: vstupy - 9,10,11	výstup - 8

Integrovaný obvod 7430

Tento IO obsahuje jedno **osmivstupové hradlo NAND**. Realizuje funkci negovaného logického součinu osmi proměnných A - H:

$$Y = \overline{A * B * C * D * E * F * G * H}$$



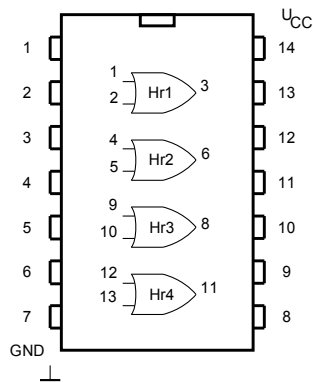
Obrázek č. 33

Legenda: **hradlo 1:** vstupy - 1,2,3,4,5,6,11,12 výstup - 8

Integrovaný obvod 7432

Tento IO obsahuje 4 nezávislá **dvouvstupová hradla OR**. Každé z nich realizuje funkci logického součtu dvou proměnných A a B:

$$Y = A + B$$



Obrázek č. 34

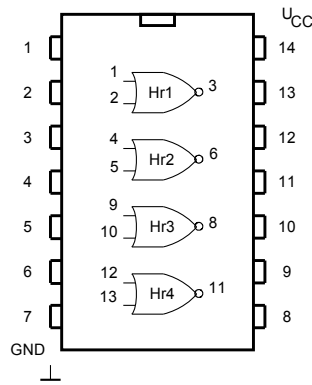
Legenda: **hradlo 1:** vstupy - 1,2 výstup - 3
 hradlo 2: vstupy - 4,5 výstup - 6
 hradlo 3: vstupy - 9,10 výstup - 8
 hradlo 4: vstupy - 12,13 výstup - 11

Integrovaný obvod 7436

Tento IO obsahuje 4 nezávislá **dvouvstupová hradla NOR**. Každé z nich realizuje funkci negovaného logického součtu dvou proměnných A a B:

$$Y = \overline{A + B}$$

Důležité upozornění: Pozor na zapojení vývodů IO. Vývody tohoto integrovaného obvodu jsou zapojeny v jiném pořadí než vývody integrovaného obvodu 7402.

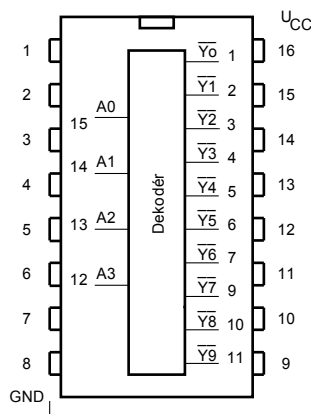


Obrázek č. 35

Legenda:	hradlo 1: vstupy - 1,2	výstup - 3
	hradlo 2: vstupy - 4,5	výstup - 6
	hradlo 3: vstupy - 9,10	výstup - 8
	hradlo 4: vstupy - 12,13	výstup - 11

Integrovaný obvod 7441

Tento IO 7441 slouží jako dekodér BCD kódu na kód 1 z 10. Na vstupy $A_0 - A_3$ přivedeme BCD signál a v závislosti na jeho velikosti je vybrán jeden z výstupů Y_0 neg.- Y_9 neg., na kterém se objeví úroveň L. Ostatní úrovně zůstávají v úrovni H.



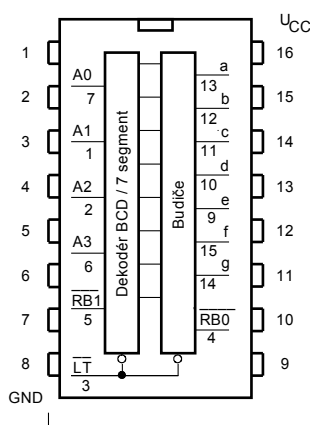
Obrázek č. 36

Legenda:	vstupy A_0 až A_3 - 12,13,14,15	výstupy – 1,2,3,4,5,6,7,9,10,11
----------	-------------------------------------	---------------------------------

Poznámka: Zde uvedené IO 7413, 7420, 7421, 7430 obsahují tzv. vstupy „NC“, tzn. vstupy, které v integrovaném obvodu nejsou zapojené. Tyto vstupy je možné nechat při zapojování neošetřené.

Integrovaný obvod 7446

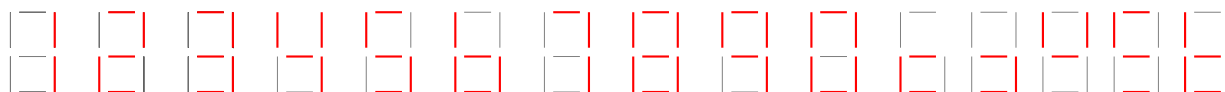
Tento IO 7446 slouží jako dekodér BCD kódu na kód sedmissegmentové jednotky. Obsahuje dekodér s řídicí logikou a výstupní budiče segmentů. Na vstupy A_0 až A_3 přivedeme hodnotu BCD čísla, které se má zobrazit v dekadické podobě. Aktivní segmenty budou mít na vstupu úroveň L. Výstupní budiče mají otevřený kolektor a výstupy se tak připojují přes příslušné segmenty na kladné napětí, které může mít velikost 30V. U integrovaného obvodu 7447, který je totožný s IO 7446, může mít toto napětí velikost pouze 15V. Integrovaný obvod 7446 a 7447 je vhodný pro buzení displeje LED se společnou anodou.



Obrázek č. 37

Legenda:	vstupy BCD $A_0 - A_3$:	7,1,2,6
	vstup zhasnutí displeje RB0:	4
	kontrolní rozsvícení displeje LT neg.:	3
	potlačení zobrazení nuly RB1 neg.:	5
	výstupy segmentů a-g:	13,12,11,10,9,15,14,

Způsob zobrazování čísel v dekadické podobě:

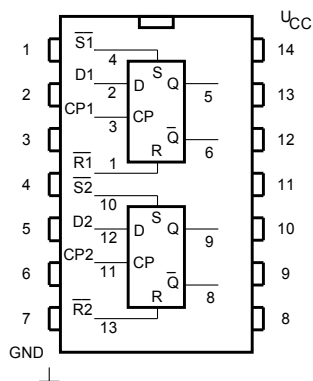


Poznámka: Úroveň L na vstupu LT neg. způsobí rozsvícení všech segmentů displeje, pokud je na vstupu RB1 neg. úroveň H. Potlačení zobrazení nuly se provádí přivedením úrovně L na vstupu RB1. Tento pokyn obvodu říká, že pokud bude na vstupu BCD indikována „0“, nebude se tato nula zobrazovat a displej zůstane zhasnutý.

Integrovaný obvod 7474

IO 7474 obsahuje dva nezávislé klopné obvody typu D. Informace ze vstupu D se uloží do klopného obvodu náběžnou hranou hodinového impulzu, přivedeného na vstup CP. Asynchronně je možné výstupy nulovat nebo nastavit úrovní L na vstupu R neg., nebo S neg.

Pravdivostní tabulka:



Obrázek č. 38

D	T	Q	\bar{Q}
0	0	ZPS	ZPS
0	┌	0	1
1	0	ZPS	ZPS
1	┌	1	0

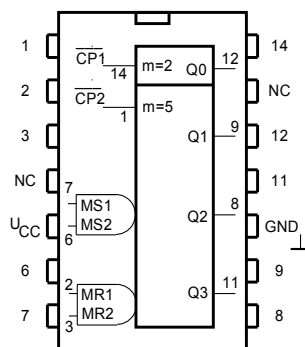
┌ - náběžná hrana hodinového impulzu

Tabulka č. 8

Legenda:	vstup datový D_1, D_2 :	2,12
	vstup nulování R_1 neg., R_2 neg.:	1,13
	vstup nastavení S_1 neg., S_2 neg.:	4,10
	vstup hodinových impulzů CP_1, CP_2 :	1,13
	výstupy klopného obvodu Q_1, Q_1 neg., Q_2, Q_2 neg.:	5,6,9,8

Integrovaný obvod 7490

IO 7490 je čtyřbitový asynchronní dekadický čítač. Je složen ze čtyř klopných obvodů JK rozdělených na čítač modulo dvě a pět. Oba čítače mají vlastní hodinový vstup CP neg. a čítají na sestupnou hranu hodinových impulzů. Propojením obou čítačů Q_0 s CP_2 dostaneme čítač modulo deset. Obvod je vybaven vstupy vnějšího nastavení MS a nulování MR. Protože vstup nastavení a vstup nulování je tvořen dvouvstupovým součinovým hradlem, nastavení a nulování čítače provedeme přivedením úrovně H na oba vstupy příslušného hradla.

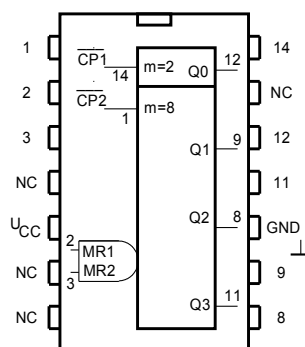


Obrázek č. 39

Legenda:	vstup hodinových impulzů CP_1 neg., CP_2 neg.:	14,1
	vstup nulování MR_1 , MR_2 :	2,3
	vstup nastavení MS_1 , MS_2 :	7,6
	výstupy čítače Q_0 až Q_3 :	12,9,8,11

Integrovaný obvod 7493

IO 7493 je čtyřbitový asynchronní binární čítač. Je složen ze čtyř klopných obvodů JK rozdělených na čítač modulo dvě a osm. Oba čítače mají vlastní hodinový vstup CP neg. a čítají na sestupnou hranu hodinových impulzů. Propojením obou čítačů Q_0 s CP_2 dostaneme čítač modulo šestnáct. Obvod je vybaven vstupy vnějšího nulování MR. Protože je tento nulovací vstup tvořen dvouvstupovým součinným hradlem, musí se nulování čítače provést přivedením úrovně H na oba vstupy tohoto hradla. Má-li být cyklus zkrácen na číslo, které obsahuje tři jedničky, je třeba použít externího hradla AND.



Obrázek č. 40

Legenda:	vstup hodinových impulzů CP_1 neg., CP_2 neg.:	14,1	(14,8)
----------	--	------	--------

vstup nulování MR ₁ , MR ₂ :	2,3	(1,2)
výstupy čítače Q ₀ až Q ₃ :	12,9,8,11	(13,9,10,12)

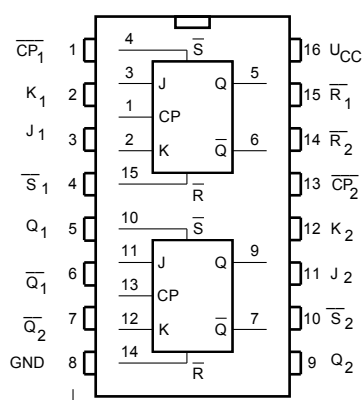
Poznámka: Čísla vývodů uvedená v závorce (červeně) jsou alternančním zapojením vývodů pouzdra u některých výrobců (v provedení L)

8.3 Vnitřní zapojení vybraných IO řady TTL - 74112 až 74193

Integrovaný obvod 74112

IO 74112 obsahuje dva nezávislé klopné obvody JK vybavené vstupy nulování a nastavení. Tyto klopné obvody jsou řízeny sestupnou hranou hodinových impulzů (CP). Stav na výstupech Q a Q neg. závisí na úrovni řídicích vstupů J a K před příchodem sestupné hrany hodinového impulzu. Funkce JK klopného obvodu je popsána pravdivostní tabulkou.

Pravdivostní tabulka:



Obrázek č. 41

J	K	T	\bar{S}	\bar{R}	Q	\bar{Q}
X	X	X	1	0	0	1
X	X	X	0	1	1	0
0	1	┌	1	1	1	0
0	1	└	1	1	0	1
1	0	┌	1	1	0	1
1	0	└	1	1	1	0
1	1	└	1	1	0	1
1	1	┌	1	1	1	0
0	0	└	1	1	1	0
0	0	┌	1	1	1	0

Tabulka č. 9

Legenda:	synchronní vstupy J ₁ , K ₁ , J ₂ , K ₂ :	3,2,11,12
	vstup nulování R ₁ neg., R ₂ neg.:	15,14
	vstup nastavení S ₁ neg., S ₂ neg.:	4,10

vstup hodinových impulzů CP₁, CP₂: 1,13

výstupy klopného obvodu Q₁, Q₁ neg., Q₂, Q₂ neg.: 5,6,9,7

Integrovaný obvod 74123

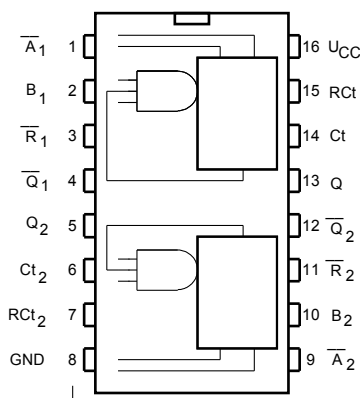
IO 74123 obsahuje dva nezávislé monostabilní klopné obvody (multivibrátory) s následným spouštěním (retrigger). Tento MKO lze spouštět buďto sestupnou hranou na vstupu A neg. při B na úrovni H nebo náběžnou hranou na vstupu B při úrovni L na vstupu A. Tento vstup je opatřen Schmittovým klopným obvodem, proto je možné jej budít i pomalu se měnícím signálem. Délka výstupního impulzu je dána velikostí časovacího rezistoru R_T a kondenzátoru C_T. Délka výstupního impulzu je dána vztahem:

$$t_p = 0,3 * R_T * C_T$$

[ns, kΩ, pF]

Doporučené hodnoty R_T:

$$5 \text{ k}\Omega < R_T < 50 \text{ k}\Omega$$



Obrázek č. 42

Legenda: vstupy spouštění A₁ neg., A₂ neg., B₁, B₂: 1,9,2,10

C_{t1}, C_{t2} pro připojení časovacího kondenzátoru: 14,6

vstup RC_{t1}, RC_{t2} společný pro R_T a C_T: 15,7

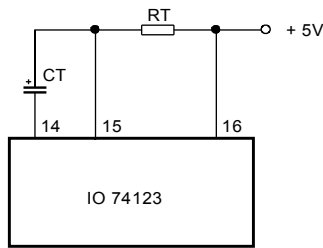
R₁ neg., R₂ neg. nulovací vstupy: 3,11

výstupy klopného obvodu Q₁, Q₁ neg., Q₂, Q₂ neg.: 13,4,5,12

Výše uvedená rovnice platí pro C_T větší než 1000 pF. Je-li kapacita časovacího kondenzátoru menší, bude výsledný čas delší, než je čas vypočtený. Velikost časovacího kondenzátoru není omezena. Zprůměrovaná hodnota 0,3 je konstanta, která je daná výrobcem a liší se v závislosti na výrobcu. Minimální délka vstupního impulzu je asi 40 ns. V případě použití elektrolytického časovacího kondenzátoru s velkým svodovým proudem je nutné použít upravené zapojení s křemíkovou diodou. Tato dioda zamezí průchodu inverzního proudu přes časovací kondenzátor.

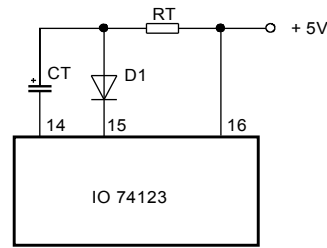
Výstupní impulz je možné kdykoliv ukončit, nebo zamezit jeho vzniku úrovní L na vstupu nulování R neg.

Způsob zapojení IO 74123:



Obrázek č. 43a

Zapojení s časovacím kondenzátorem s malým svodovým proudem



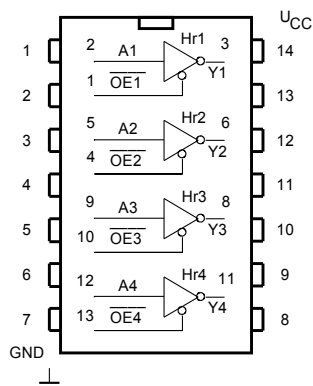
Obrázek č. 43b

Zapojení s kondenzátorem s velkým svodovým proudem ošetřeného křemíkovou diodou

V uvedeném schématu není znázorněno zapojení vstupů A neg., a B a tím možné ovládání výstupů Q a Q neg. Ovládání těchto výstupů je možné pouze za předpokladu správného zapojení vstupů A neg. a B (viz. text výše).

Integrovaný obvod 74125

IO 74125 obsahuje čtyři nezávislé neinvertující třístavové oddělovače/budiče. Úroveň H na vstupu uvolnění výstupu OE neg. uvede výstupy obvodu Y do stavu vysoké impedance.



Obrázek č. 44

Pravdivostní tabulka:

OE	A	Y
L	L	L
L	H	H
H	X	Z

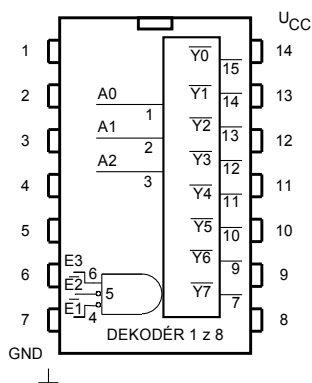
Z - stav vysoké impedance

Tabulka č. 10

- Legenda: vstupy dat A₁, A₂, A₃, A₄: 2,5,9,12
- vstoup uvolnění výstupu OE₁ neg., OE₂ neg., OE₃ neg., OE₄ neg.: 14,6
- výstup dat Y₁, Y₂, Y₃, Y₄: 3,6,8,11

Integrovaný obvod 74138

Obvod 74138 je dekodér tříbitového binárního kódu na kód 1 z 8. Třemi adresovými vstupy A0 až A2 se vybírá vždy jeden výstup Y neg., který přejde do úrovně L, zatímco ostatní (nevybrané) vstupy mají úroveň H. Obvod je vybaven třemi vstupy uvolnění. Dva mají aktivní úroveň L (E_1 neg., E_2 neg.), třetí E_3 pak úroveň H.



Obrázek č. 45

Legenda:	adresové vstupy A_0, A_1, A_2 :	1,2,3
	vstupy uvolnění E_1 neg., E_2 neg., E_3 :	4,5,6
	výstupy dekodéru $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$:	15,14,13,12,11,10,9,7

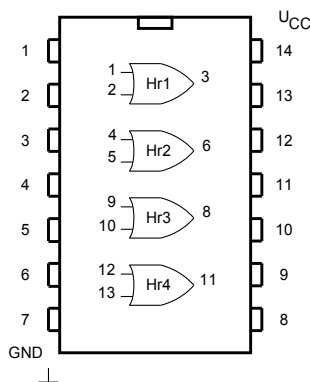
Pravdivostní tabulka:

\bar{E}_1	\bar{E}_2	\bar{E}_3	A_1	A_2	A_3	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Tabulka č. 11

Integrovaný obvod 74138 (jiné provedení)

Obvod 74138 obsahuje v tomto případě čtyři nezávislá dvou vstupová hradla OR s otevřeným kolektorem. Každé realizuje funkci logického součtu dvou proměnných A a B: $Y = A + B$. Na výstupu bude úroveň L pouze tehdy, budou-li oba vstupy na úrovni L. Úroveň H na výstupu musíme zajistit vnějším rezistorem, který zapojíme mezi výstup a kladné napájecí napětí. Tento rezistor může být společný i pro více hradel.

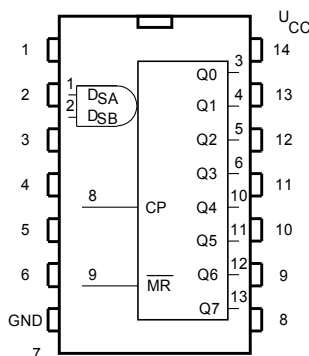


Obrázek č. 46

Legenda:	hradlo 1: vstupy - 1,2	výstup - 3
	hradlo 2: vstupy - 4,5	výstup - 6
	hradlo 3: vstupy - 9,10	výstup - 8
	hradlo 4: vstupy - 12,13	výstup - 11

Integrovaný obvod 74164

IO 74164 je osmibitový posuvný registr se sériovými vstupy a paralelními výstupy. Vstupy D_{SA} a D_{SB} slouží k seriovému vstupu dat. Chceme-li využít seriového vstupu dat, musí být jeden ze vstupů DS spojen s úrovní H nebo oba vstupy propojeny. Data v registru se posouvají o jeden stupeň vpravo na každou náběžnou hranu na vstupu CP. Výstupy všech stupňů posuvného registru jsou vyvedeny z obvodu na ($Q_0 - Q_7$). Úroveň L na vstupu MR neg. asynchronně nuluje všechny stupně registru nezávisle na ostatních vstupech. Obvod se používá pro převod seriových dat na paralelní.

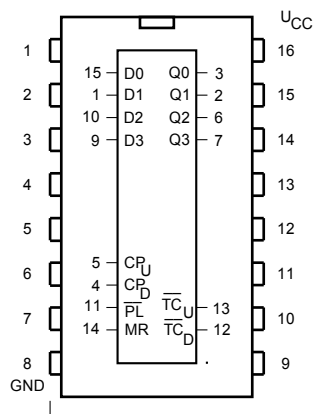


Obrázek č. 47

Legenda:	seriové vstupy dat D_{SA}, D_{SB}	1,2
	vstup hodinových impulzů CP:	8
	vstup nulování MR neg.:	9
	paralelní výstupy registru $Q_0 - Q_7$:	3,4,5,6,10,11,12,13

Integrovaný obvod 74193

IO 74193 je obousměrný binární vratný čítač s předvolbou. Je složen ze čtyř JK klopných obvodů s logikou. Obvod má oddělené vstupy hodinových impulzů pro čítání dolů CP_D a čítání nahoru CP_U . Náběžná hrana na vstupu CP_U ($CP_D = H$) způsobí zvětšení osahu čítače (čítá nahoru). Podobně náběžná hrana na vstupu CP_D ($CP_U = H$) naopak způsobí zmenšení obsahu čítače. Ke změně směru čítání může dojít, pokud druhý hodinový vstup má úroveň H. Obvod má rovněž čtyři paralelní vstupy předvolby $D_0 - D_3$.



Obrázek č. 48

Legenda:	vstup předvolby $D_0 - D_3$:	15,1,10,9
	vstup hod. impulzů (čítání dolů) CP_D :	4
	vstup hod. impulzů (čítání nahoru) CP_U :	5
	vstup uložení předvolby PL neg.:	11
	výstup přetečení pro čítání dolů TC_D neg.:	13
	výstup přetečení pro čítání nahoru TC_U neg.:	12
	vstup nulování MR:	14
	výstupy čítače $Q_0 - Q_7$:	3,2,6,7

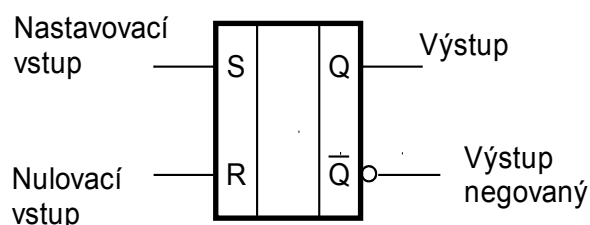
Výstup přetečení TC_D , TC_U neg. jsou trvale na úrovni H, pouze poté kdy, dojde k naplnění čítače do hodnoty HHHH (dekadicky 15), tak následující sestupná hrana na vstupu CP_U nastaví TC_U neg. do úrovně L. Výstup TC_U neg., na této úrovni setrvává, pokud bude CPU na úrovni L. Dojde tedy k přenesení negativního impulzu ze vstupu CP_U na výstup TC_U neg. se zpožděním daným průchodem dvěma hradly. Podobně při čítání dolů a dosažení stavu LLLL (tj. 0) následující sestupná hrana CP_D nastaví TC_D neg. na úroveň L po dobu setrvání CP_D v úrovni L. Výstup TC_D , TC_U neg. lze použít jako hodinové signály pro další čítače. Funkce takového čítače ale není zcela synchronní, protože každý stupeň má zpoždění mezi vstupem CP a výstupem TC neg. asi 25 ns. Obsah čítače lze vynulovat nezávisle na ostatních vstupech úrovní H na vstupu MR. Druhý způsob nulování čítače je možný také uložení nul z paralelních vstupů předvolby $D_0 - D_3$.

9. Klopné obvody v číslicové technice

9.1 Klopný obvod RS

Nejjednodušším klopným obvodem je klopný obvod RS. RS klopný obvod (RS KO) má dva vstupy **S** (*Set* – nastavení) a **R** (*Reset* – nulování) a rovněž dva výstupy **Q** a **Q neg.** Na výstupu Q neg. je za odpovídajících podmínek vždy opačná úroveň než na výstupu Q. Vstup S klopného obvodu slouží pro nastavení výstupu do úrovně logické jedna (H). Vstup R KO slouží naopak k nulování výstupu klopného obvodu, tzn. k nastavení výstupu Q do úrovně log. nula a k nastavení výstup Q neg. do úrovně log. jedna. Nastavování a nulování klopného obvodu se provádí buďto úrovní logická jedna, říkáme, že se jedná o obvod s přímými vstupy, nebo úrovní logická nula, přičemž tento obvod nazýváme klopným obvodem s negovanými vstupy.

Schématická značka:

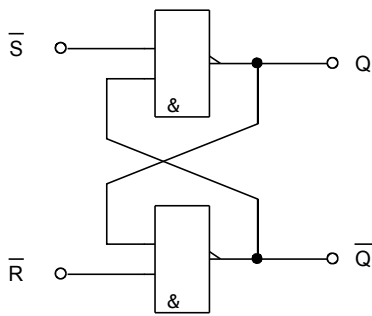


Obrázek č. 49

RS klopný obvod z hradel NAND

RS klopný obvod z hradel NAND je klasickým příkladem klopného obvodu s negovanými vstupy. Nastavování a nulování klopného obvodu se na příslušném vstupu provádí pomocí logické nuly. V závislosti na kombinaci vstupní proměnné je možné výstup klopného obvodu buď nastavit do pracovního stavu, nebo provést naopak nulování výstupu klopného obvodu. KO má kromě těchto dvou stavů ještě další dva specifické stavy a to tzv. „zachování předchozího stavu“ a „zakázaný“ nebo „neurčitý“ stav. Oba tyto stavy nastávají v okamžiku přivedení stejné logické úrovně na vstup S neg. a R neg. K zachování předchozího stavu dochází v případě přivedení úrovně logická jedna na oba vstupy S neg. a R neg. a k tak zvanému neurčitému stavu dochází naopak v okamžiku přivedení úrovně logická nula na oba vstupy S neg. a R neg. Tento stav je v číslicové technice nežádoucí.

Schéma zapojení:



Obrázek č. 50

Pravdivostní tabulka:

\bar{S}	\bar{R}	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	ZPS	ZPS

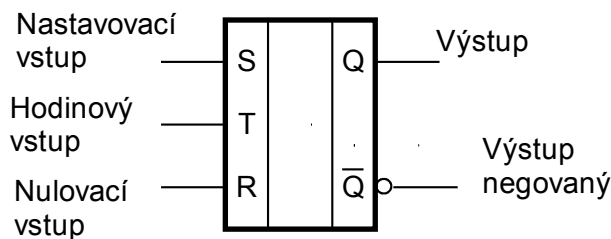
Tabulka č. 12

9.2 Klopný obvod RST

Klopný obvod RST má rovněž jako KO RS dva vstupy – **R** reset – nulování, **S** set – nastavení. Navíc má tento obvod ještě tzv. hodinový vstup **T** (C) *clock*, který slouží k řízení stavu výstupu nejen v závislosti na stavu vstupů S nastavení a R nulování. Hodinový vstup T (C) vyvolá nastavení popřípadě nulování výstupu klopného obvodu s příchodem náběžné hrany hodinového impulzu.

Tento asynchronní klopný obvod je základním stavebním kamenem všech složitějších KO.

Schématická značka:

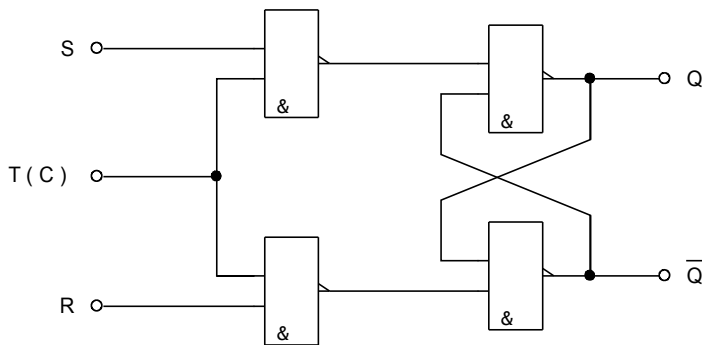


Obrázek č. 51

Popis činnosti klopného obvodu RST:

Klopný obvod RST se také nazývá klopným obvodem *RS se statickým řízením*. Tento klopný obvod, stejně jako klopný obvod RS, obsahuje vstup S nastavení a vstup R nulování. Pomocí těchto vstupů S a R dochází k vnějšímu ovládní výstupu klopného obvodu Q a Q neg. Klopný obvod RST je na rozdíl od klopného obvodu RS z hradel NAND klopným obvodem s přímými vstupy, tzn., že tento obvod je aktivní v úrovni log. „1.“ Nastavení a nulování klopného obvodu se provádí příslušnou kombinací vstupní proměnné dle pravdivostní tabulky RST klopného obvodu. Nastavení, popřípadě nulování, klopného obvodu se provádí přivedením úrovně log „1“ na vstup S a přivedením úrovně log. „0“ na vstup R. Zároveň je tento obvod ovládán dalším, tzv. hodinovým vstupem T, který zabezpečí, že výše uvedené nastavení nebo nulování KO se projeví až po příchodu hodinového signálu. Také tento klopný obvod obsahuje riziko výskytu neurčitého (zakázaného) stavu, a to při následující kombinaci vstupní proměnné: vstupy S,R,T = úroveň H.

Schéma zapojení:



Pravdivostní tabulka:

S	R	T	Q	\bar{Q}
0	0	0	ZPS	ZPS
0	1	1	0	1
1	0	0	ZPS	ZPS
1	0	1	1	0
0	1	1	0	1
0	1	0	ZPS	ZPS
1	1	0	ZPS	ZPS
1	1	1	1	1

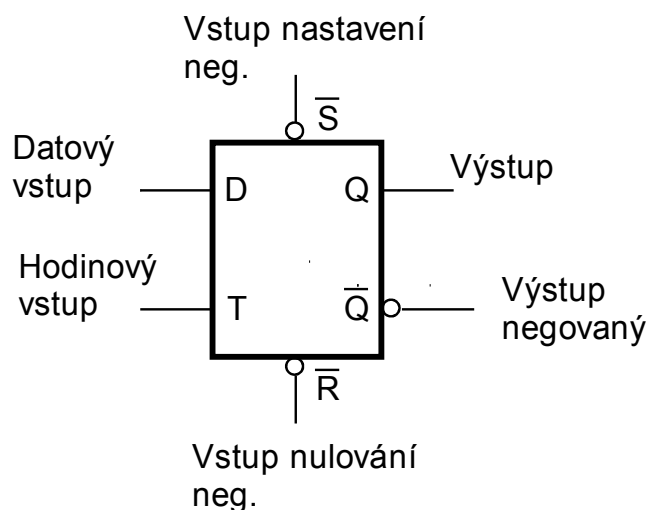
Obrázek č. 52

Tabulka č. 13

9.3 Klopný obvod typu D

Klopný obvod typu D nebo-li, paměťový klopný obvod je oproti předcházejícím klopným obvodům zbaven nevhodné vlastnosti RS KO a RST KO – přítomnosti **neurčitého stavu**. Klopný obvod typu D obsahuje dva vstupy: vstup D (data) a hodinový vstup (T) určený pro přivedení hodinového signálu potřebného pro bezchybnou a správnou funkci klopného obvodu.

Schématická značka:

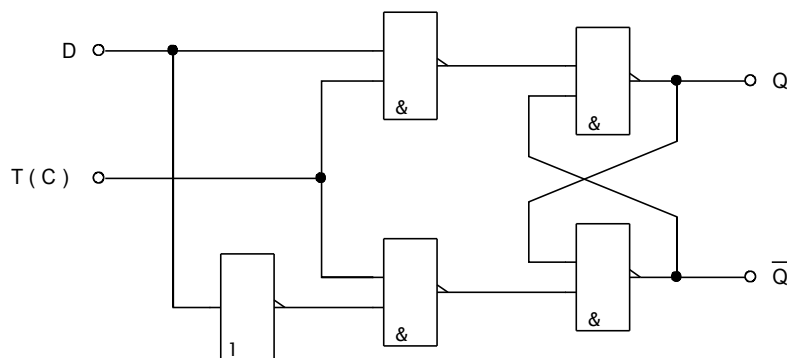


Obrázek č. 53

Popis činnosti klopného obvodu typu D:

Paměťový klopný obvod typu D slouží k přenášení vstupní informace ze vstupu D na výstup Q s příchodem náběžné hrany hodinového impulsu přivedeného na vstup T (C). Přenos informace ze vstupu D na výstup Q není možný bez příchodu hodinového signálu na vstupu T (C) o hodnotě logická jedna nebo v případě přítomnosti hodinového signálu na vstupu T (C) o hodnotě log. „0.“

Schéma zapojení:



Pravdivostní tabulka:

D	T	Q	\bar{Q}
0	0	ZPS	ZPS
0	1	0	1
1	0	ZPS	ZPS
1	1	1	0

1 - náběžná hrana hodinového impulsu

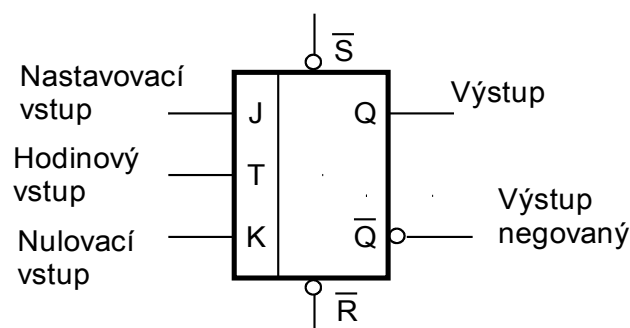
Obrázek č. 54

Tabulka č. 14

9.4 JK klopný obvod

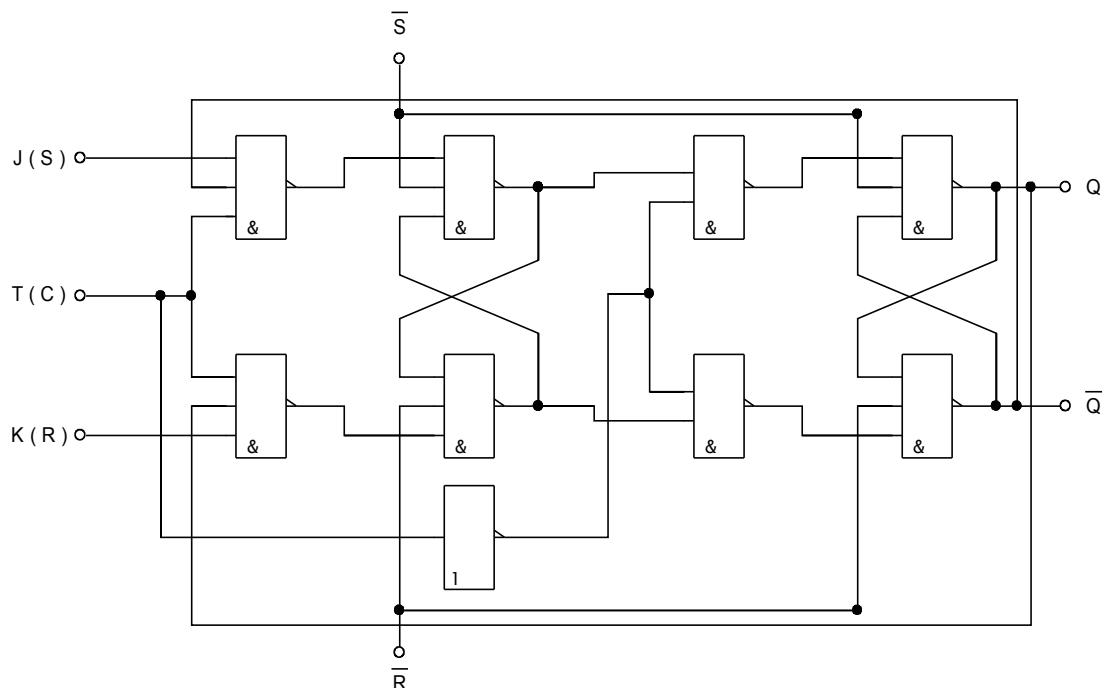
JK klopný obvod (JK KO) je obvod, který kromě specifických vstupů J a K obsahuje stejně jako ostatní KO ještě zvláštní vstupy nastavení a nulování (S a R). Oba vstupy S a R jsou tzv. vstupy negované, tzn., že nastavování a nulování JK KO se provádí přivedením úrovně logická „0“ na příslušný vstup S, popřípadě R. Vstupy JK klopného obvodu slouží k dalšímu nastavování a nulování klopného obvodu dle pravdivostní tabulky, přičemž funkci tohoto obvodu je možné využít např. při konstrukci čítačů, posuvných registrů, kruhových čítačů apod. Princip JK klopného obvodu umožňuje definovat logickou funkci i pro případ, že oba vstupy jsou ve stavu log. „1.“ Tento obvod je spouštěn sestupnou hranou hodinového signálu.

Schématická značka:



Obrázek č. 55

Schéma zapojení JK klopného obvodu:



Obrázek č. 56

Pravdivostní tabulka:

J	K	T	\bar{S}	\bar{R}	Q	\bar{Q}
X	X	X	1	0	0	1
X	X	X	0	1	1	0
0	1	┌	1	1	1	0
0	1	└	1	1	0	1
1	0	┌	1	1	0	1
1	0	└	1	1	1	0
1	1	└	1	1	0	1
1	1	┌	1	1	1	0
0	0	└	1	1	1	0
0	0	┌	1	1	1	0

┌ - náběžná hrana hodinového impulzu

└ - sestupná hrana hodinového impulzu

X - v tomto případě nezáleží na logické úrovni

Tabulka č. 15

Popis činnosti JK klopného obvodu:

JK klopný obvod je složený ze dvou částí, z části řídicí a z části řízené. První část klopného obvodu **část řídicí** – je aktivní při přivedení náběžné hrany hodinového impulsu na hodinový vstup T (C) , přičemž druhá část klopného obvodu **část řízená** – je aktivní při sestupné hraně hodinového signálu. Tuto funkci zabezpečuje invertor zapojený mezi hodinový vstup prvního a druhého klopného obvodu. Klopný obvod JK je složený ze dvou RST KO, přičemž při vzestupné hraně hodinového signálu se vstupní informace přepíše ze vstupních svorek 1. KO na výstupní svorky 1. KO a zároveň na vstupní svorky 2. KO. Při sestupné hraně hodinového signálu se informace přepíše ze vstupních svorek 2. KO na výstupní svorky 2. KO, a tím na výstupní svorky celého KO. Podrobnou funkci JK KO popisuje pravdivostní tabulka včetně stavů „ZPS“ a opak předchozího stavu.

10. Využití JK KO jako čítače

10.1 Čítač impulsů 7490 a 7493

Elektronické čítače jsou zařízení, která se používají např. v automatizaci, v průmyslu, výzkumu a všude tam, kde je třeba zaznamenat velké množství jednotlivých dějů, které nastanou za delší dobu, nebo naopak u dějů, které následují velice rychle za sebou. Zde se neobejdeme bez elektronických čítačů. V takovýchto případech jsou schopnosti člověka nedostatečné, popřípadě by byla lidská práce velmi drahá. Přístroje na čítání nejsou v technice nové, používají se od doby, kdy bylo třeba realizovat rutinní práce strojově. Původně měly čítače pouze mechanickou konstrukci, dnes se používají čítače elektronické. Jejich rozšíření a výkonnost podstatně získaly rozvojem moderních číslicových integrovaných obvodů.

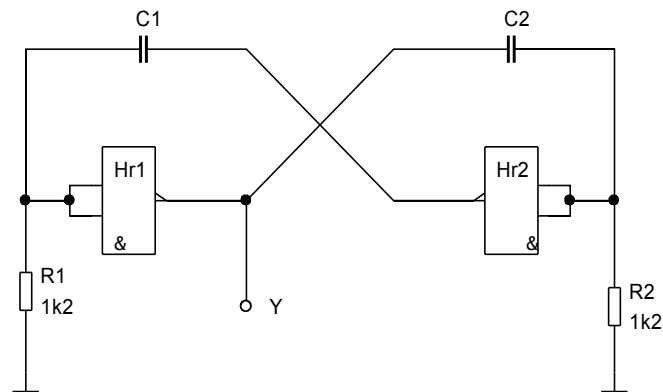
Pro všechny elektronické čítače platí, že jsou schopny sečíst počet impulsů, které přicházejí na jejich vstupy, a tento počet uložit do paměti. Elektronické čítače čítají určité jevy nebo události, které musíme převést na napěťové impulsy. Při tomto čítání se s každým impulzem přičítá jednička ke stávajícímu stavu. Tak je o jedničku zvýšen stávající součet, který vyjadřuje počet dosud příšlých impulsů. Nově vzniklý součet se zapíše do paměti a obvykle se opticky též zobrazuje. V dekadickém čítači je na každém řádovém místě jedna z deseti možných číslic. Jakmile se tato zásoba znaků (0 až 9) na jednom řádovém místě během čítání vyčerpá, pak desátý impuls způsobí, že se příslušné místo vynuluje, popřípadě je možné, že vznikne současně přenos do následujícího vyššího řádového místa, tj. číslo, které je tam zaznamenáno, se zvýší o jedničku.

10.1.1 Astabilní klopný obvod jako generátor impulsů pro čítače 7490 a 7493 z JK KO

Astabilní klopný obvod (AKO) může být jedním z možných zdrojů číslicových impulsů, vhodných pro čítání elektronickými čítači. Jeho velmi jednoduché řešení pomocí dvou hradel NAND, popřípadě dvou invertorů, umožní snadnou domácí konstrukci AKO na libovolný kmitočet.

AKO z hradel NAND

Schéma zapojení:



Obrázek č. 57

Vzorec pro výpočet kmitočtu AKO:

$$f = \frac{1}{2 * R * C}$$

pro $C_1 = C_2 = C$
a $R_1 = R_2 = R$

Ze vzorce pro výpočet frekvence je zřejmé, že kmitočet AKO je závislý na převrácené hodnotě dvojnásobku hodnoty rezistoru a kapacity kondenzátoru, použitého v konstruovaném multivibrátoru. Při výpočtu hodnoty požadovaného rezistoru nebo kapacity postupujeme způsobem, že vycházíme z požadovaného kmitočtu AKO a rovněž z hodnoty námi zvoleného rezistoru, popřípadě kondenzátoru a dopočítáme poslední požadovanou hodnotu součástky. Při volbě dopočítávané součástky postupujeme způsobem, že volíme součástku, již máme na výběr z menšího množství hodnot a dopočítáváme součástku, jejíž výběr, co se týká hodnot, máme větší. Tímto způsobem se lépe přiblížíme vypočítanou hodnotou ke skutečné hodnotě naší součástky.

Upravené vzorce pro výpočet AKO:

volíme R - počítáme C

$$C = \frac{1}{2 * f * R}$$

volíme C - počítáme R

$$R = \frac{1}{2 * f * C}$$

Pro TTL hradla je vhodné R zvolit v rozsahu 1 kΩ – 10 kΩ a C v rozsahu 1 nF – 10 μF.

Jako generátor obdélníkového průběhu napětí je možné použít „jakýkoliv“ zdroj napětí, jehož přechod z minimální hodnoty napětí do maximální hodnoty se mění skokově. Jedním z dalších možných zdrojů obdélníkového průběhu napětí může být např. také tzv. Schmittův klopný obvod. Jedná se o zapojení obvodu, jehož konstrukce umožní přeměnu sinusového signálu na digitální.

10.2 Rozdělení čítačů

Čítače mohou čítat i v jiných číselných soustavách nebo v libovolně zvoleném kódu.

Rozdělení čítačů:	podle použitého kódu	- dvojkové - BCD
	podle směru čítání	- vzestupné - sestupné - vratné
	podle způsobu spouštění	- asynchronní - synchronní

Asynchronní čítače: jsou to čítače, jejichž taktovací signál je vždy odvozen od výstupu předchozího stupně nebo některého z předchozích stupňů části čítače. Díky šíření signálu přes jednotlivé stupně zapojení vznikají v obvodu časová zpoždění, a tím i nežádoucí přechody stavů.

Synchronní čítače: jsou čítače, u kterých je taktovací signál přivedený současně na hodinový vstup všech částí obvodu (čítače.) Všechny klopné obvody reagují na stejnou hranu taktovacího signálu.

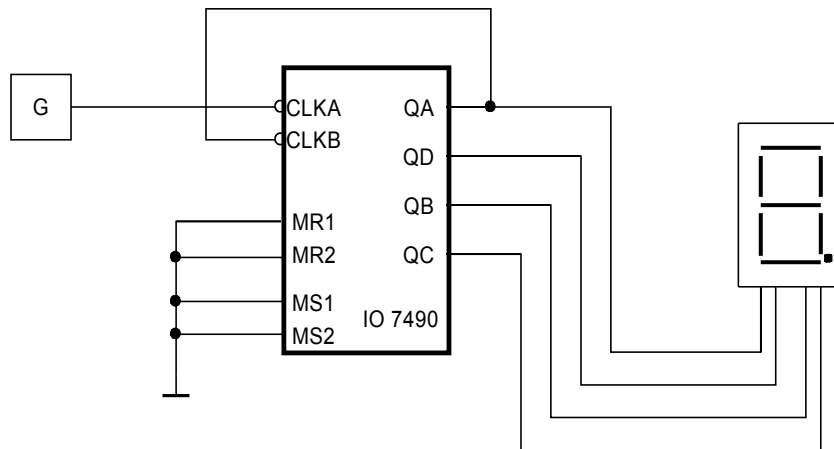
10.3 Čítač 7490 z JK KO

Čítač 7490 je asynchronní desítkový čítač, obsahující jeden samostatný JK KO schopný dělit dvěma a trojici klopných obvodů, zapojených jako dělič pěti. Čítač má dva nulovací vstupy $MR_{(1)}$ a $MR_{(2)}$, kterými je možné výstupy nulovat a dva vstupy $MS_{(1)}$ a $MS_{(2)}$, kterými jde výstupy nastavit do stavu 1001, což odpovídá dekadickému číslu 9.

Tento obvod můžeme použít několika způsoby:

- jako desítkový čítač v kódu BCD, kdy výstup Q_1 prvního klopného obvodu je spojen se vstupem B druhého klopného obvodu, a jako vstup slouží vstup A
- jako dělič dvěma a pět, kdy používáme oddělené vstupy A a B a jim odpovídající výstupy
- jako dělič v symetrickém kódu, kdy vstupem obvodu je vstup B, vstup A je zapojen k výstupu Q_4
- jako čítač (dělič) se zvoleným modulem, kdy se po zvoleném počtu impulzů přerušuje počítací cyklus a pomocí vstupů $MR_{(1)}$ a $MR_{(2)}$ a logických jedniček na příslušných výstupech čítač nuluje
- čítač 7490 čítá tehdy, je – li na jeden ze vstupů MS i MR přivedena logická nula.

Schéma zapojení asynchronního desítkového čítače 7490:

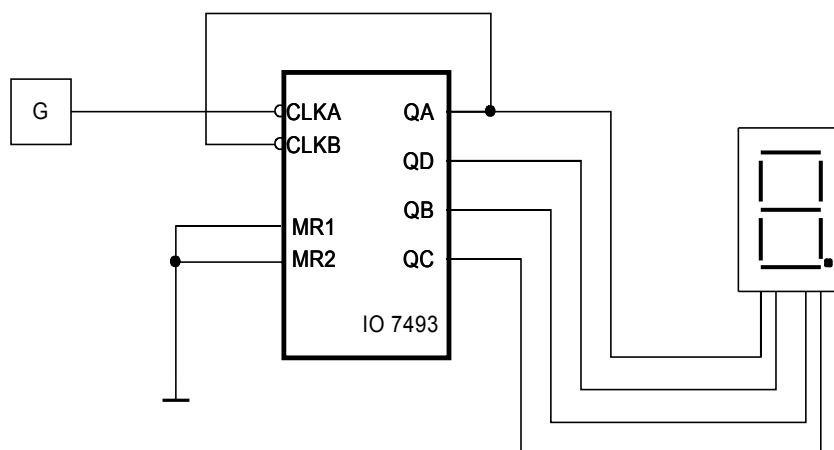


Obrázek č. 58

10.4 Čítač 7493 z JK KO

Jedná se o jednoduchý čtyřbitový binární čítač obsahující jeden samostatný JK KO a trojici JK klopných obvodů použitelných jako čítač s modulem osm. Spojením vstupu B s výstupem Q_1 , můžeme obvod použít jako asynchronní čítač s modulem 16 v binárním kódu. Pomocí vstupů $MR_{(1)}$ a $MR_{(2)}$ lze uvést výstupy všech klopných obvodů do stavu logické nuly přivedením úrovně log. 1 současně na oba vstupy. Této skutečnosti můžeme opět využít při zkracování čítacího cyklu, při návrhu čítačů (děličů) ve zvoleném modulu.

Schéma zapojení asynchronního binárního čítače 7493:



Obrázek č. 59

Zapojení jakéhokoliv čítače je možné upravit formou vytvoření tzv. modulu, tzn., že čítač nebude čítat do maximální hodnoty svého čítání, ale pouze do námi zkrácené podoby čítání. Tímto způsobem je možné vytvořit z desítkového čítače čítač libovolného modulu (např. tří, čtyř) pro vytvoření digitálních hodin, měřiče času apod. Modulo každého čítače se odvozuje od aktivních výstupů příslušného čísla, které se buď přímo, nebo přes vnější součinnové hradlo přivádí na nulovací vstupy upravovaného čítače. Konečným výstupem je potom desítkový nebo binární čítač, čítající do námi zvolené hodnoty.

10.5 Čítač 7493 z JK KO upravený jako modulo 9

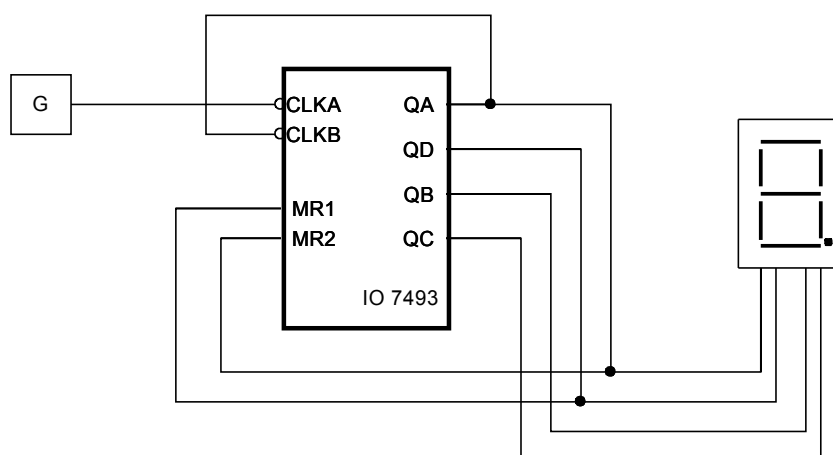
Postup při navrhování modulu čítače spočívá v požadovaném modulu čítače a též v pravdivostní tabulce použitého čítače. Čítač s modulem devět bude střídát devět stavů. Počáteční stav bude:

	0000
pokračuje stavem	0001
	⋮
	⋮
	⋮
až	1000

následující stav musí být nulování 0000

Aby obvod do tohoto stavu přešel, musí být při stavu, který následuje v binárním sledu po stavu 1000, to je při stavu 1001, vynulován. Toho docílíme tím, že hodnoty jedničkových výstupů obvodu 7493 při tomto stavu, tzn. výstupy Q_1 a Q_4 , přivedeme na nulovací vstupy obvodu $MR_{(1)}$ a $MR_{(2)}$. Tímto je vytvořen čítač modulo 9 z čítače 7493.

Schéma zapojení:

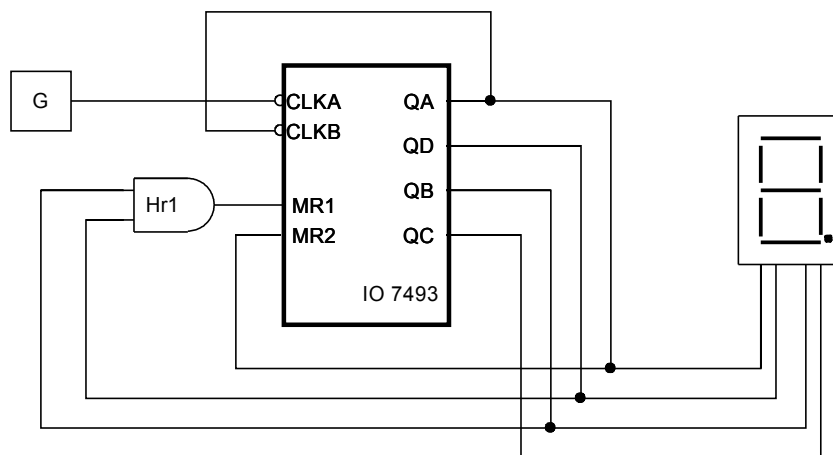


Obrázek č. 60

10.6 Čítač 7493 z JK KO upravený jako modulo 11

Podobným způsobem je možné si navrhnout čítač modulo 11. Ze zadání je patrné, že ve stavu, ve kterém se má nulovat, jsou tři jedničky a nulovací vstupy jsou jen dva. Proto musíme použít dodatečné součinnové hradlo, které nám chybějící třetí vstup nahradí.

Schéma zapojení čítače s dvouvstupovým hradlem AND:



Obrázek č. 61

Obdobným způsobem se postupuje při navrhování dalších číslicových obvodů. Výše uvedená zapojení čítačů jsou zhotovena bez převodníku kódu na kód sedmissegmentové zobrazovací jednotky.

11. Měření na konkrétních úlohách

Měření na jednotlivých úlohách budeme v našich laboratorních podmínkách provádět nejen pomocí speciálního programu RC 2000, ale rovněž pomocí logické sondy, multimetru a osciloskopu. V závislosti na obtížnosti zadaného úkolu zvolíme příslušný způsob měření a řešení daného problému. Kromě logické sondy je možné ve stavebnici Dominoputer, ve které je znázorněn jeden z možných způsobů řešení úkolu, použít speciální logické moduly určené právě pro měření přítomnosti číslicových signálů. Program RC 2000 je vhodný pro měření převážně nižších kmitočtů (max. několik set Hz), pro vyšší kmitočty je zapotřebí použití jednobanového popřípadě dvoubanového osciloskopu v závislosti na náročnosti měřené digitální úlohy. Při praktickém zapojování zadaného úkolu, jako výstupu ze simulačního programu, je zapotřebí **dodržovat zásady z číslicové techniky**, které jsou v některých simulačních programech ošetřeny takovým způsobem, že jejich nedodržení nezpůsobí chybu v měření. Jedná se především o ošetřování nezapojených vstupů hradel, IO apod. Naopak jako výstup číslicových obvodů mohou být v některých našich úlohách použity např. pouze LED diody, které rovněž v simulačním programu není nutné opatřit ochranným rezistorem, ale v praxi je toto opatření nezbytné.

Čtyři úkoly a jeden z možných způsobů jejich řešení

V následujících čtyřech úlohách si v závislosti na obtížnosti ukážeme jeden z možných způsobů řešení úkolu a možnosti využití výstupů simulačního programu. Sami rovněž budeme nuceni zvolit správný postup při konstrukci, měření a zobrazování výstupních signálů. V závislosti na náročnosti úkolu využijeme všechny tři způsoby měření výstupního signálu – pomocí LED diod a programu RC 2000, pomocí osciloskopu a multimetru a rovněž pomocí „sedmissegmentové zobrazovací jednotky.“

11.1 Úloha č. 1:

(nejméně náročná úloha)

Mobilní telefon

Výstupem ze simulačního programu je funkční schéma, které je zapotřebí ověřit pomocí praktického zapojení. V závislosti na náročnosti zapojení je nutné zvolit vhodný způsob řešení a přizpůsobit toto řešení aktuálním pracovním podmínkám (jiné pracoviště, jiné pomůcky, moduly a přístroje, apod.) Slovní zadání jako součást úkolu má napomoci snažší orientaci ve schématu. (Úplné znění tohoto úkolu z dílny DSIM zde není uvedeno.)

Jeden z možných způsobů řešení

Dle slovního zadání a učebních pomůcek v naší laboratoři je zřejmé, že obvod bude možné zhotovit velmi snadno. Drobnými úpravami přizpůsobíme slovní zadání, překreslíme schéma v editoru elektrotechnických schémat a jako výstupní optické zobrazovače zvolíme PC PIO INTERFACE. Vzhledem k nízkému kmitočtu 1 Hz je k měření výstupního signálu možné použít program RC 2000.

Upravené slovní zadání:

1) Funkce – Z mobilního telefonu GSM lze za odpovídajících podmínek provádět volání a psaní SMS zpráv. Volání z mobilního telefonu lze provádět pouze za podmínky odpovídající kapacity baterie, dostatečného signálu a aktivace u operátora tj. volání **A0, A1, A2, A3** v log „1“. Psaní SMS zpráv je možné při splnění podmínky **A0, A1, A2, A4** v log. „1“, nikoliv v okamžiku volání (**A3 log.1**). V okamžiku psaní SMS zpráv je možné přijmout příchozí volání.

2) Zadání - Zhotovte logický obvod simulující funkci mobilního telefonu GSM. Z mobilního telefonu lze provádět volání a posílání SMS zpráv. Zapojení realizujte pomocí výukové stavebnice **DOMINOPUTER** a programu **RC 2000**.

Vstupní jednotka:

- tlačítko A0** modulu LOG SELECTOR použijte na simulaci nabité baterie,
- tlačítko A1** modulu LOG SELECTOR použijte na simulaci dostatečného signálu operátora,
- tlačítko A2** modulu LOG SELECTOR použijte na simulaci aktivace u operátora,
- tlačítko A3** modulu LOG SELECTOR použijte na simulaci volání,
- tlačítko A4** modulu LOG SELECTOR použijte na simulaci psaní SMS zpráv.

Výstupní jednotka:

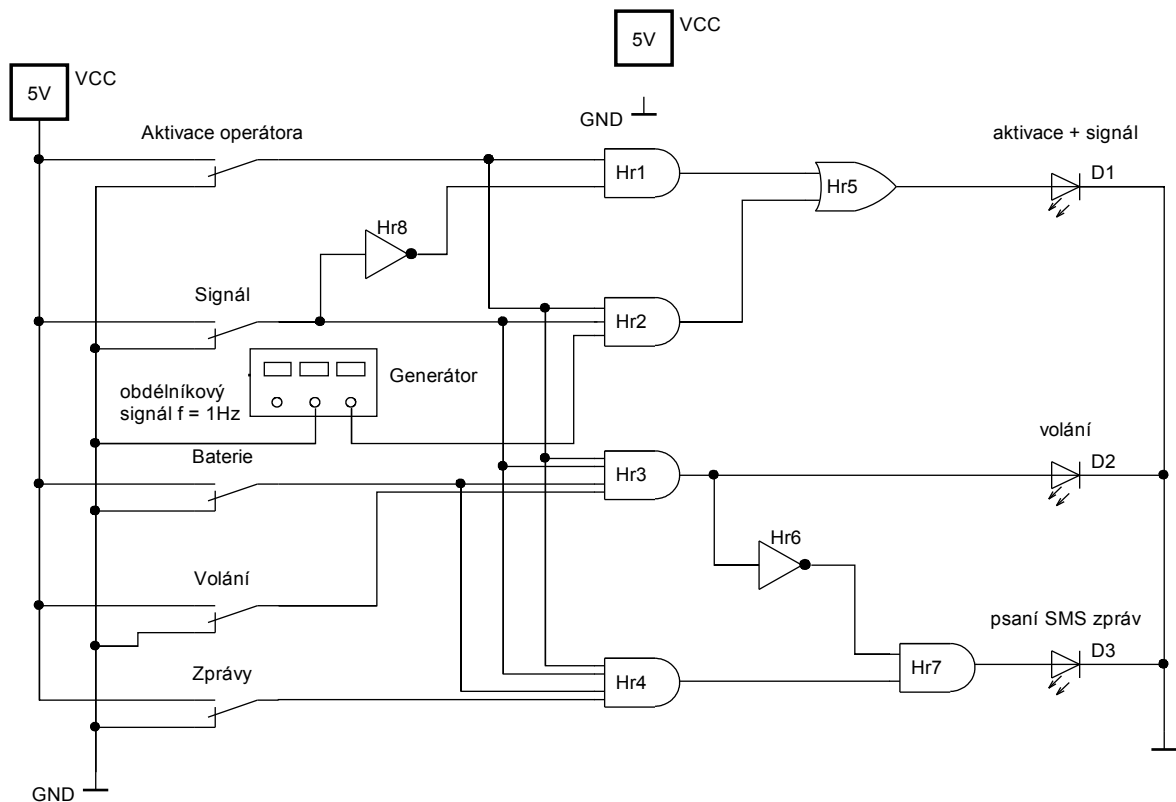
- dioda D1** signalizuje trvalým svitem aktivaci u operátora a dostatek signálu přerušovaným svitem $f = 1\text{Hz}$,
- dioda D2** signalizuje trvalým svitem volání,
- dioda D3** signalizuje trvalým svitem psaní SMS zpráv.

Zapojení realizujte pomocí hradel 7402, 7404, clock generátor. Funkční zapojení zhotovte pomocí modulové stavebnice Dominoputer a odzkoušejte funkci. Řídící kmitočet AKO generovaný časovou základnou překontrolujte pomocí programu RC 2000 a jeho průběh zaznamenejte pomocí příkazu (printscreen) a vložte do souboru (protokolu) jako JPG. Zhotovený obvod zaznamenejte digitálním fotoaparátem a získané obrazové záznamy rovněž vložte ve formátu JPG do protokolu.

Struktura protokolu

- 1) funkce obvodu
- 2) zadání protokolu
- 3) schéma zapojení obvodu
- 4) fotografie sestaveného zařízení
- 5) sejmutá stínítka měřících přístrojů
- 6) závěr

3) schéma zapojení obvodu



Obrázek č. 62

4) fotografie sestaveného zařízení

Zapojení bylo realizováno pomocí výukové modulové stavebnice Dominoputer. Řízení signalizace podmínky aktivace u operátora a dostatek signálu je zajištěno časovou základnou TIME BASE $f = 1\text{Hz}$.

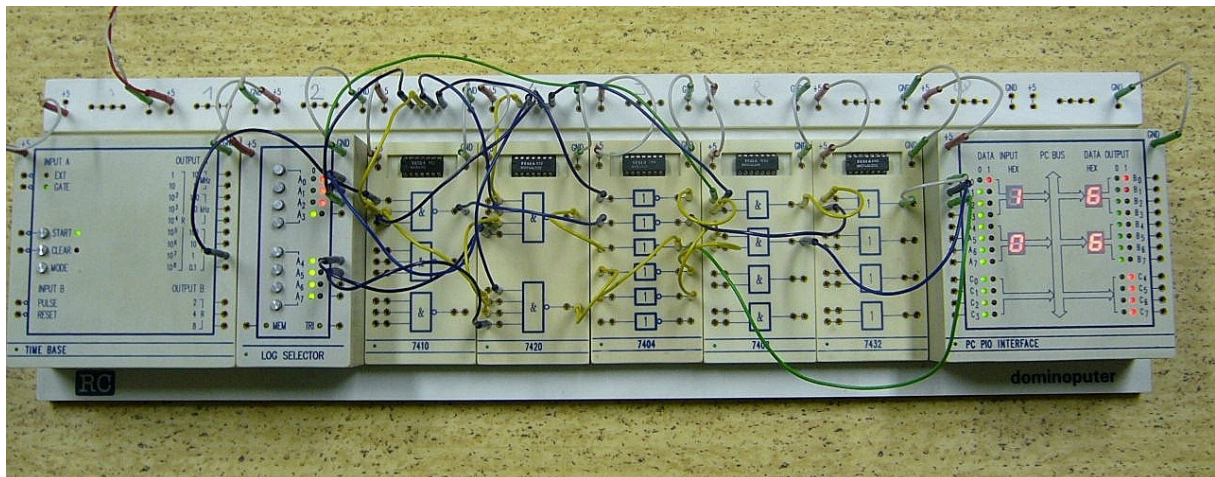
Obr.63 Zobrazuje zařízení s dostatečnou kapacitou baterie, aktivací u operátora a dostatečným signálem

Obr.64 Zobrazuje zařízení v okamžiku volání

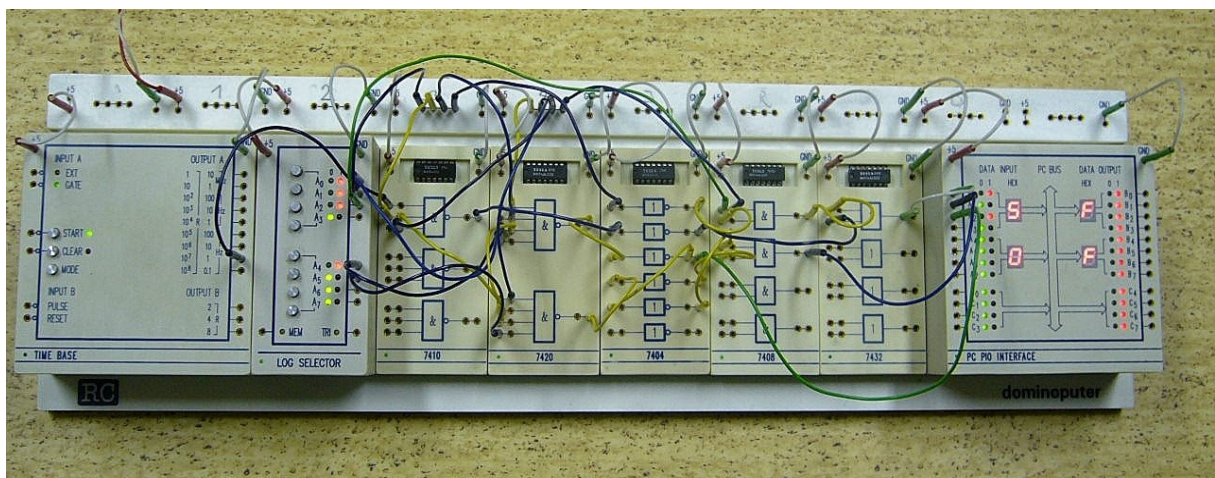
Obr.65 Zobrazuje zařízení v okamžiku psaní SMS zpráv

Obr.66 Zobrazuje zařízení v okamžiku volání a psaní SMS zpráv.

Výstupní jednotkou byl zvolen modul PC PIO INTERFACE - kombinace zobrazení BCD kódu a kódu sedmissegmentové zobrazovací jednotky.

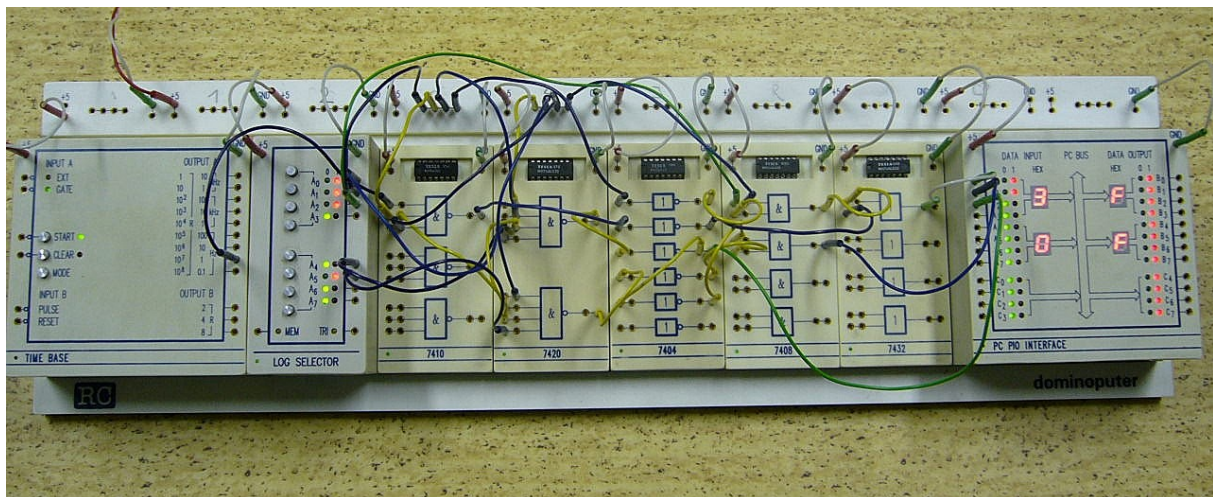


Obrázek č. 63

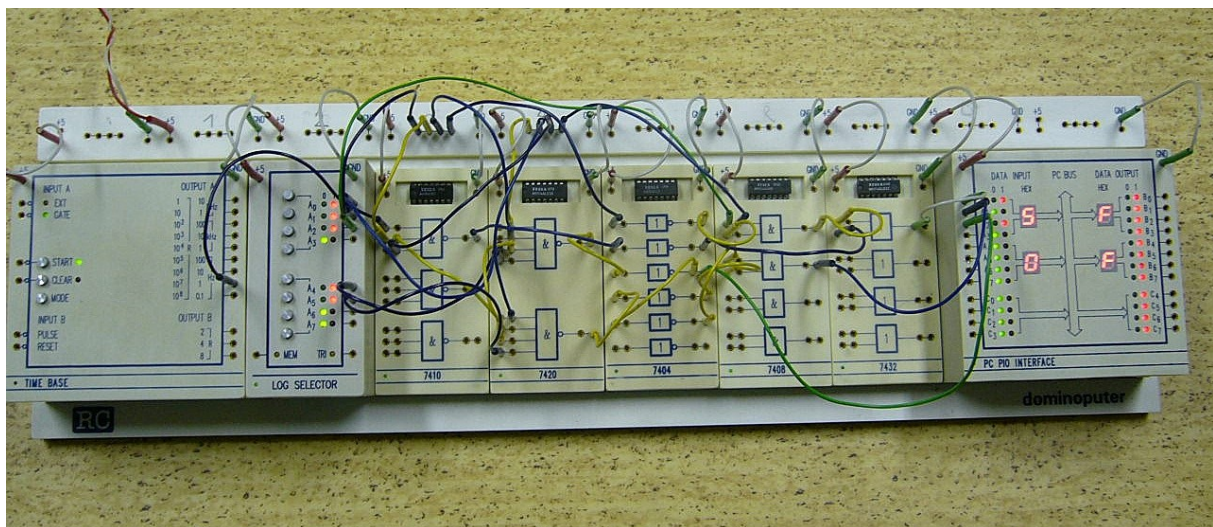


Obrázek č. 64

Tento projekt je spolufinancován Evropským sociálním fondem a státním rozpočtem České republiky.



Obrázek č. 65



Obrázek č. 66

5) sejmuté stínítko měřicího přístroje

A0 : signalizace aktivace u operátora + dostatečný signál

A1 : signalizace psaní SMS zpráv

A2 : signalizace volání

A3 – A7 : nevyužité výstupy zobrazovací jednotky

Doba periody :

$$T = t_2 - t_1$$

$$T = 2,51 - 1,52$$

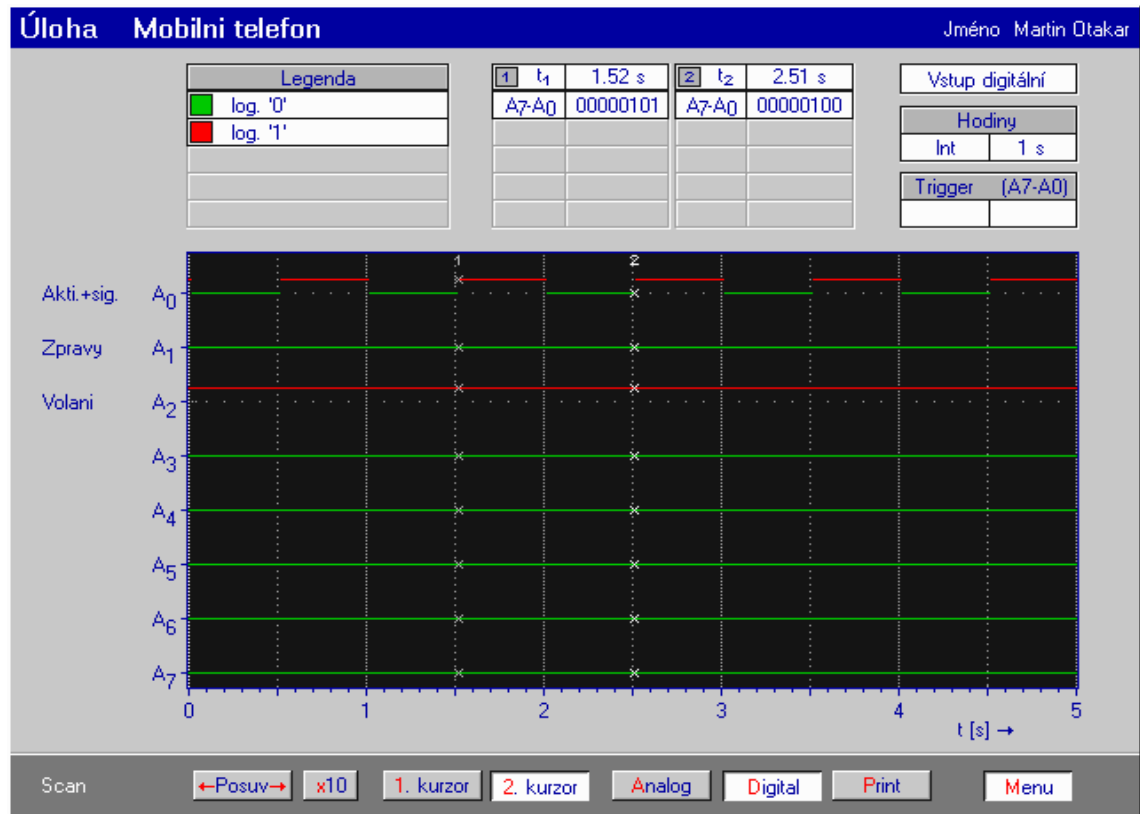
$$T = 0,99 \text{ s}$$

Frekvence:

$$f = 1 / t$$

$$f = 1 / 0,99$$

$$f = 1,01 \text{ Hz}$$



Obrázek č. 67

6) závěr

Zapojení obvodu dle schématu proběhlo bez problémů a je možné jej realizovat v praxi. Zařízení pracuje dle popsané funkce.

11.2 Úloha č. 2:

(méně náročná úloha)

Digitální hodiny s přednastavením

Výstupem ze simulačního programu je opět funkční schéma, které je zapotřebí ověřit pomocí praktického zapojení. Druhým výstupem je optické zobrazení pomocí sedmissegmentové zobrazovací jednotky, které je v našem případě plně realizovatelné. Slovní zadání úkolu nám má opět napomoci ke snazší orientaci ve schématu.

Jeden z možných způsobů řešení:

Prvním krokem bude opět upravené slovní zadání na aktuální podmínky našeho pracoviště.

1) Funkce – Měření času **DHsP** probíhá způsobem: stisknutím tlačítka **A0** (celý impuls) dochází plynulým způsobem k přednastavení segmentu *jednotky minut*. Po stisknutí tlačítka **A1** (celý impuls) dochází plynulým způsobem k přednastavení segmentu *jednotky hodin*. Stisknutí tlačítka **A2** způsobí spuštění digitálních hodin. Čítání digitálních hodin probíhá standardním způsobem od 00:00 do 23:59, a je řízeno ČZ : $f = 1 \text{ Hz}$ do okamžiku opětovného stisknutí tlačítka **A2**. Resetování **DHsP** je prováděno tlačítkem **A3**.

2) Zadání - Zhotovte logický obvod zabezpečující funkci digitálních hodin s přednastavením (**DHsP**) . Zapojení realizujte pomocí IO MH 7490, výukové stavebnice **DOMINOPUTER** a programu **RC 2000**.

Modul **LOG SELECTOR** - vstupní jednotka

tlačítko A0 použijte na přednastavení jednotek minut,

tlačítko A1 použijte na přednastavení jednotek hodin,

tlačítko A2 použijte na aktivaci (spuštění) digitálních hodin,

tlačítko A3 použijte na nulování digitálních hodin.

Modul **PC PIO INTERFACE** a modul **LOG PROBE** - výstupní zobrazení

1. sedmissegmentová jednotka - zobrazuje desítky hodin,
2. sedmissegmentová jednotka - zobrazuje jednotky hodin,
3. sedmissegmentová jednotka - zobrazuje desítky minut,
4. sedmissegmentová jednotka - zobrazuje jednotky minut.

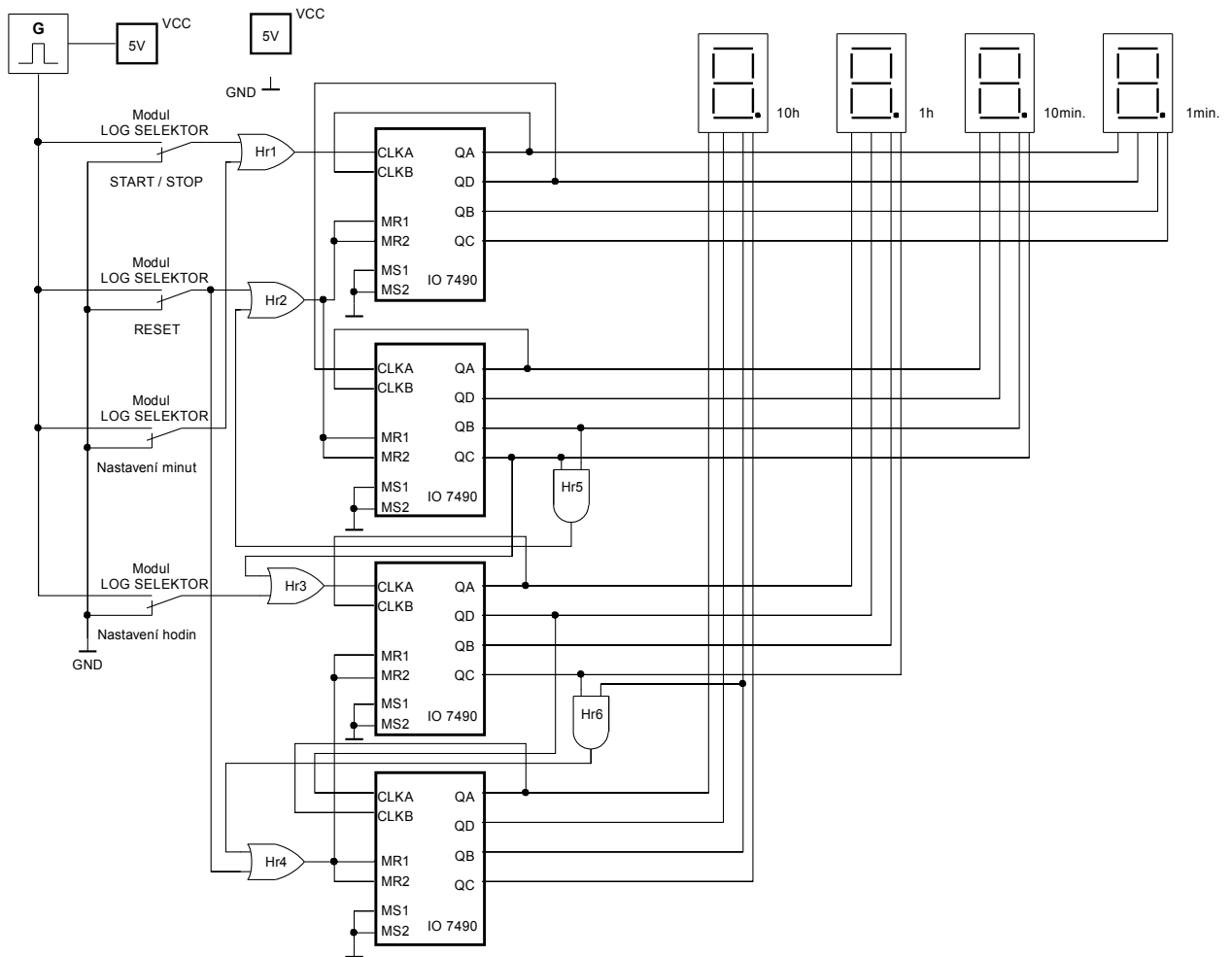
Stav **DHsP** zaznamenejte fotoaparátem v čase 00:00, 09:59, 10:00, 23:59. Výše zaznamenané údaje vložte jako soubor ve formátu JPG do protokolu **Simulace – Měření – Diagnostika**. Schéma zapojení a celý protokol pošlete v souboru (ZIP) na dílnu DSIM. Přes vnitřní datovou síť SOUE uložte soubor na server do složky DSIM.

Struktura protokolu

- 1) funkce obvodu
- 2) zadání protokolu
- 3) schéma zapojení obvodu
- 4) fotografie sestaveného zařízení
- 5) záznam aktuálního času fotoaparátem na modulu PC PIO INTERFACE a modulu LOG PROBE
- 6) závěr

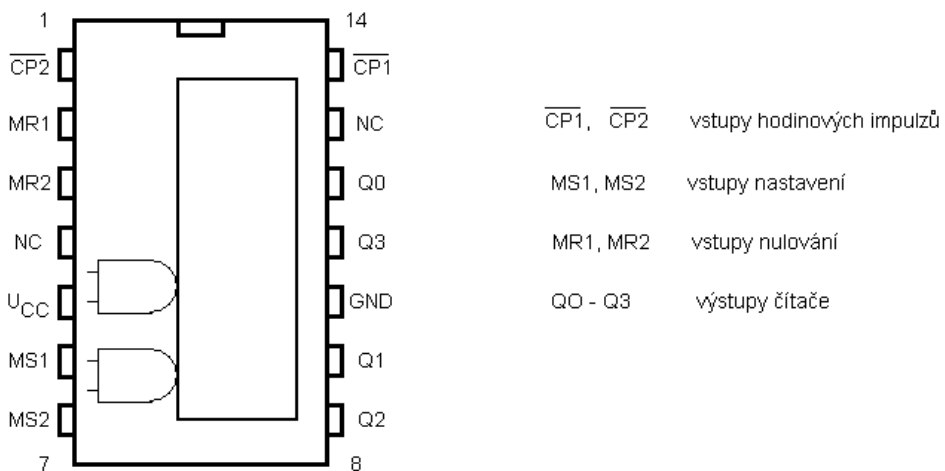
Poté bude následovat překreslení schématu v editoru el. schémat, výběr vhodných a odpovídajících modulů a stavba našeho zapojení, bod 3 a 4. Závěr o úspěšnosti či neúspěšnosti našeho pokusu je vždy nedílnou součástí protokolu o provedení měření, bod 6.

3) schéma zapojení obvodu



Obrázek č. 68

vnitřní zapojení IO 7490



Obrázek č. 69

4) fotografie sestaveného zařízení

Zapojení bylo realizováno pomocí výukové modulové stavebnice Dominoputer.

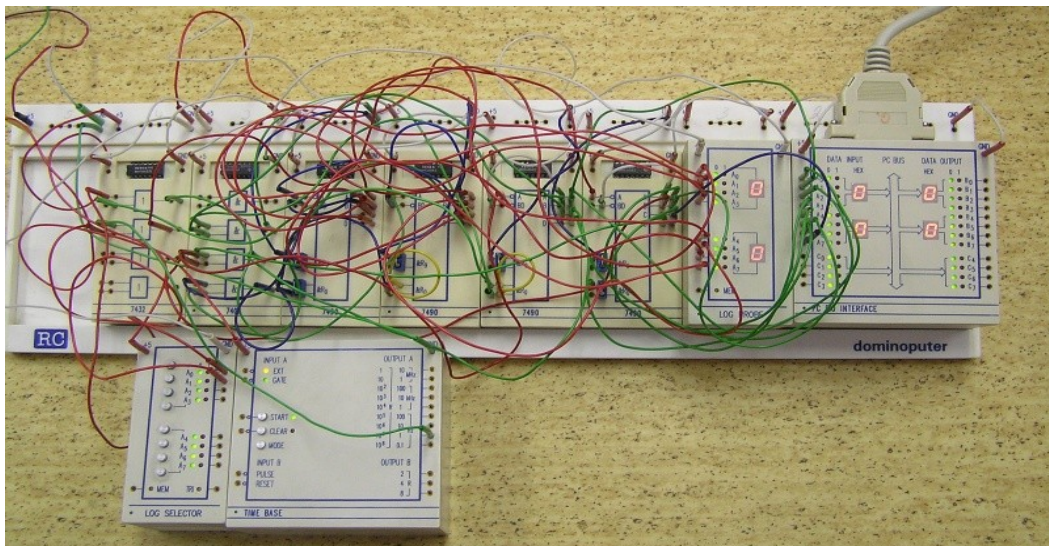
Obr.70 Digitální hodiny s přednastavením v čase 00:00

Obr.71 Digitální hodiny s přednastavením v čase 09:59

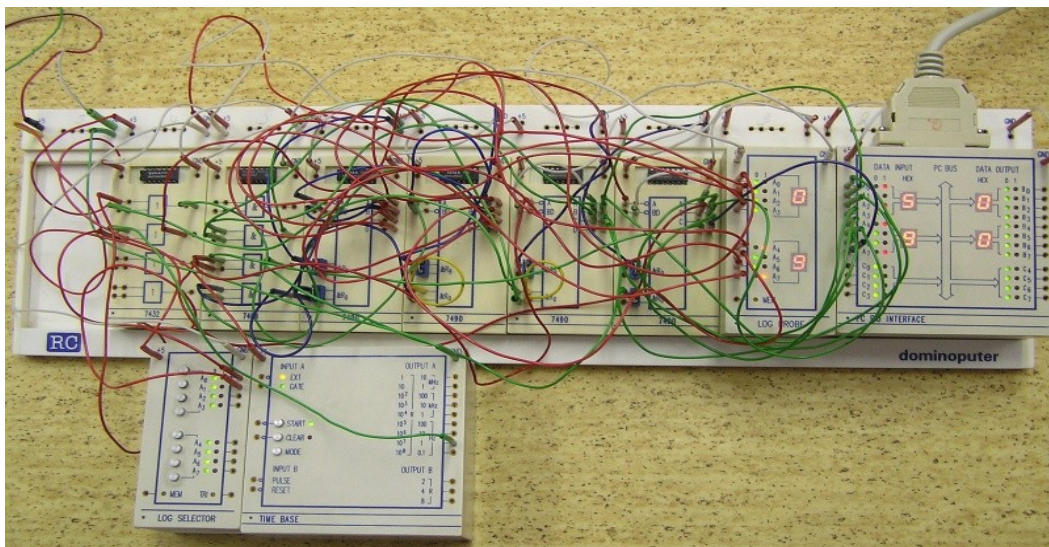
Obr.72 Digitální hodiny s přednastavením v čase 10:00

Obr.73 Digitální hodiny s přednastavením v čase 23:59

Výstupní jednotkou byl zvolen modul PC PIO INTERFACE - kombinace zobrazení BCD kódu a kódu sedmsegmentové zobrazovací jednotky a modul LOG PROBE stavebnice Dominoputer.

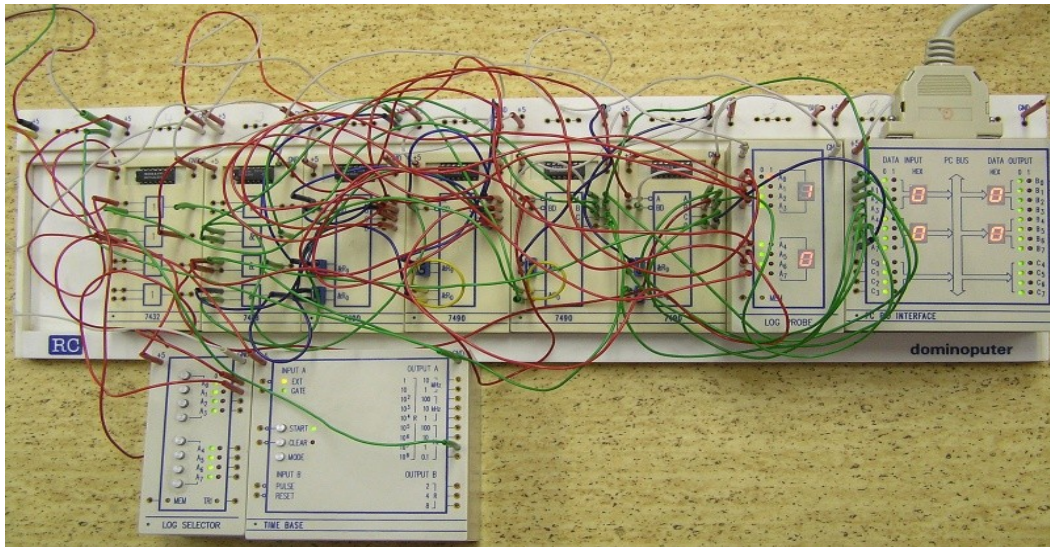


Obrázek č. 70

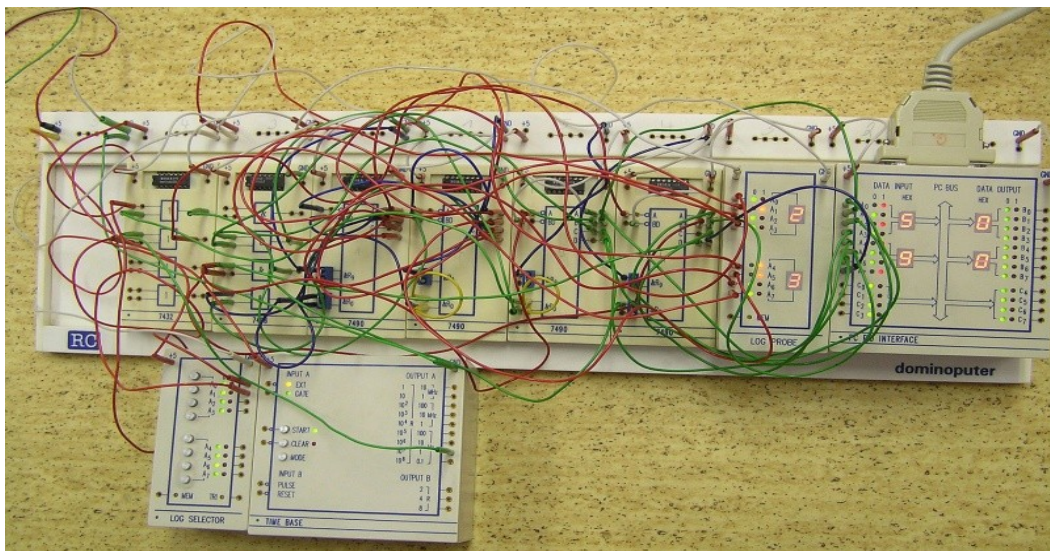


Obrázek č. 71

Tento projekt je spolufinancován Evropským sociálním fondem a státním rozpočtem České republiky.



Obrázek č. 72



Obrázek č. 73

5) závěr

Zapojení obvodu dle schématu proběhlo bez problémů a je možné jej realizovat v praxi. Zařízení pracuje dle popsané funkce.

11.3 Úloha č. 3:

(středně náročná úloha)

Programovatelná dělička frekvence s volitelným poměrem (1 – 99x)

Výstupem ze simulačního programu je nejen funkční schéma, ale rovněž digitální zobrazování vstupní dělené a výstupní vydělené frekvence. V tomto případě je zapotřebí použití digitálního multimetru a sledování více veličin současně. Střední náročnost obvodu spočívá hlavně v návrhu a doplnění MKO do původní verze zapojení obvodu. Spolehlivost a správná funkčnost tohoto obvodu je bez použití MKO ohrožena. Střední náročnost obvodu rovněž spočívá v problému

nalezení vhodné náhrady za prvky: **1 x SIP DSWPK8 rezistorová síť 100 Ω a 1 x DIP Switch přepínač DSWPK8 pro nastavení log. „1“ a log. „0“**, protože v našem případě nejsou ve stavebnici tyto prvky k dispozici. Tyto členy musí být nahrazeny odpovídajícím modulem v používané stavebnici, v našem případě nejlépe modulem LOG SELECTOR stavebnice Dominoputer. Tato úprava rovněž způsobí na první pohled velkou odlišnost v překresleném schématu.

Jeden z možných způsobů řešení:

Nejdříve opět začneme úpravou slovního zadání úkolu, přizpůsobeného podmínkám našeho pracoviště:

1) Funkce – Hodinový obvod „clock“ generuje obdélníkový taktovací signál o frekvenci 1 kHz, který se přivádí na vstup (clk down) prvního čítače 74192N a na vstup měřiče frekvence **Mastech MV-64**. Z výstupu BO prvního čítače pokračuje signál na vstup druhého čítače 74192N (clk down). Vstupy obou čítačů (LOAD) jsou spojené z výstupem (BO) druhého čítače 74192N. Z tohoto bodu (BO) se odebírá signál do druhého měřiče frekvence, rovněž **Mastech MV-64**. Vstupy CLR jsou ošetřeny na GND. Vstupy CLK UP jsou ošetřeny na log. „1“ přes rezistory 1 kΩ. Výstupy QA – QD nejsou v zapojení využity. Na vstupy ABCD čítačů přivádíme přes modul LOG SELECTOR log. „1“ a log. „0.“ Paralelně k tomuto modulu jsou zapojeny BCD sedmissegmentové zobrazovače, které ukazují poměr o který signál dělíme.

2) Zadání – Pomocí univerzálních modulů výukové stavebnice Dominoputer zhotovte zapojení dle nakresleného schématu a odzkoušejte správnost jeho funkce. V uvedeném zapojení použijte IO 74192N a jako generátor hodinového signálu použijte časovou základnu stavebnice Dominoputer TIME BASE. Z důvodu přehlednějšího měření zvolte vyšší děleného kmitočtu $f = 1\text{kHz}$ a poté $f = 10\text{kHz}$. V zapojení použijte pro kontrolu dělicího kmitočtu sedmissegmentový modul LOG PROBE. Jako prvek zajišťující požadované dělení kmitočtu příslušnou hodnotou zvolte modul LOG SELECTOR. První čtveřice přepínačů zajistí dělení jednotkami a druhá desítkami. Pro zajištění naprosto bezchybné funkce rozšířte zapojení obvodu o monostabilní klopný obvod (IO 74123). Vstup **Aneg**. MKO připojte na vstup **PLneg**. (vstup uložení předvolby) IO 74192. Výstup **Q** monostabilního klopného obvodu bude výstupem děleného kmitočtu. Dělení kmitočtu při **1kHz** proveďte :

2, 3, 4, 8

při **10kHz**:

3, 25, 50, 75, 99

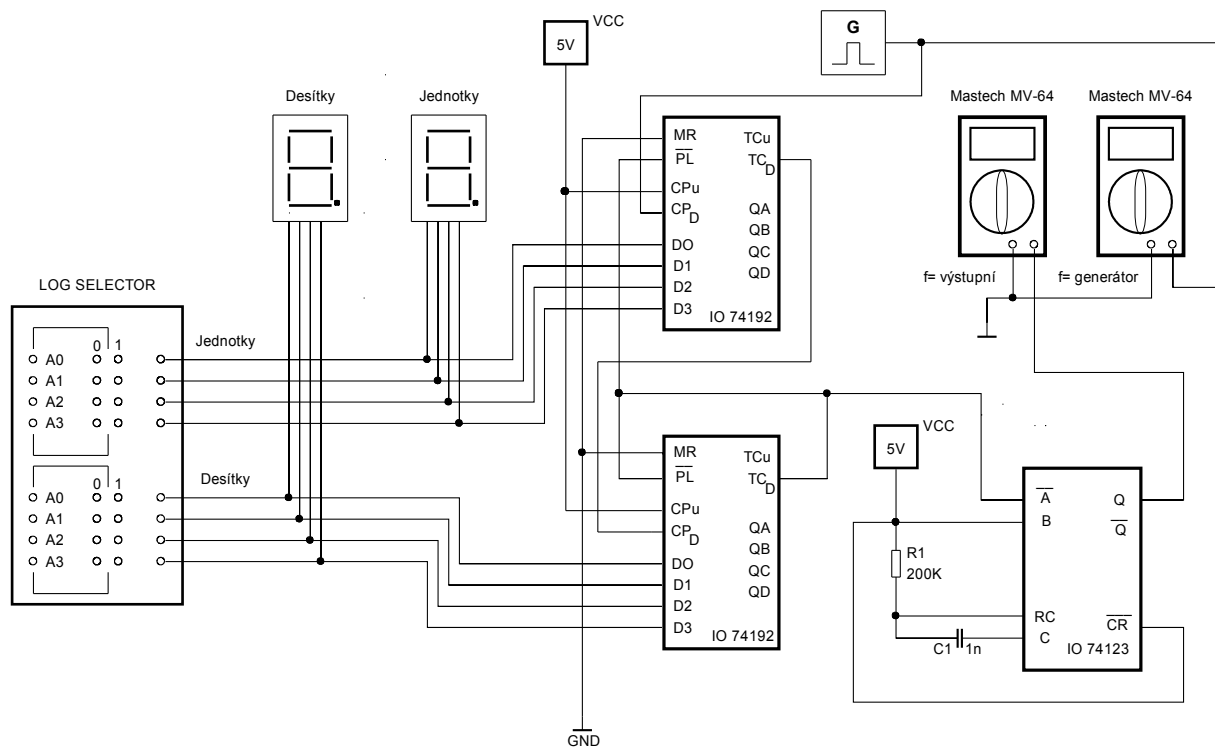
Sestavený obvod včetně jednotlivých vstupních a výstupních kmitočtů zaznamenejte digitálním fotoaparátem a ve formátu JPG vložte jako obrázek do protokolu **Simulace – Měření – Diagnostika**. Celý protokol, spolu se schématem zapojení a vnitřním zapojením jednotlivých IO uložených ve formátu EMF, zašlete přes vnitřní datovou síť SOUE na dílnu DSIM.

Struktura protokolu

- 1) funkce obvodu
- 2) zadání protokolu
- 3) schéma zapojení obvodu
- 4) vnitřní zapojení IO 74192 a IO 74123
- 5) fotografie sestaveného zařízení
- 6) závěr

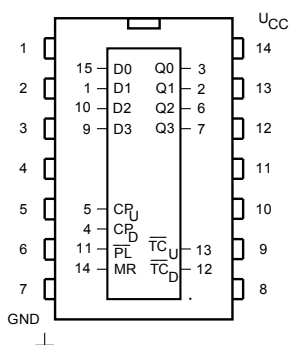
Poté budeme pokračovat překreslením schématu v editoru el. schémat a přistoupíme k samotné konstrukci obvodu. Nutností zůstává dodržení podmínek stanovených v zadání. Měření obvodu provádíme v předem stanovených intervalech. Ze všech těchto měření pořizujeme obrazové záznamy pomocí digitálního fotoaparátu. Konstrukci obvodu kromě výše uvedených výjimek je možné provést bez problémů.

3) schéma zapojení děličky



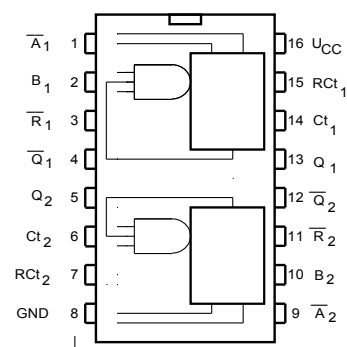
Obrázek č. 74

4) Vnitřní zapojení IO 74192 a IO 74123



Obrázek č. 75a

74192

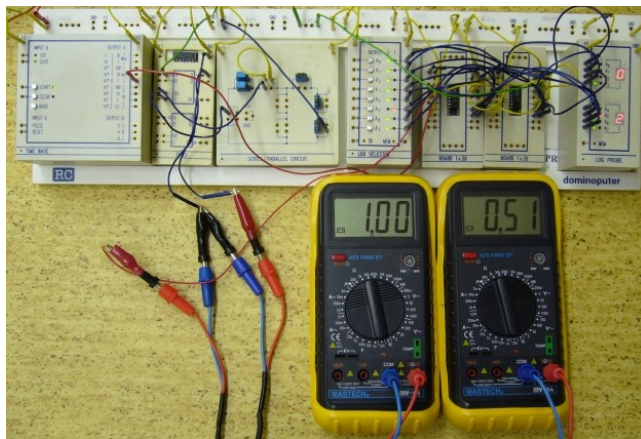


Obrázek č. 75b

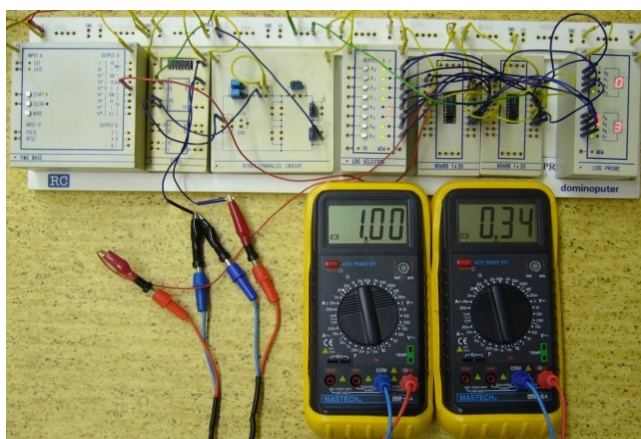
74123

- Legenda: IO 74192 D_0 až D_3 – vstupy předvolby
 CP_D – vstup hodinových impulzů pro čítání dolů
 CP_U – vstup hodinových impulzů pro čítání nahoru
 PL neg. – vstup uložení předvolby
 TC_D neg – výstup přetečení pro čítání dolů
 TC_U neg – výstup přetečení pro čítání nahoru
 MR – vstup nulování
 $Q_0 - Q_3$ – výstup čítače
- IO 74123 A, B – vstupy spouštění
 C – připojení časového kondenzátoru
 RC – společný bod R a C
 R neg. – vstup nulování
 Q, Q neg. – výstupy

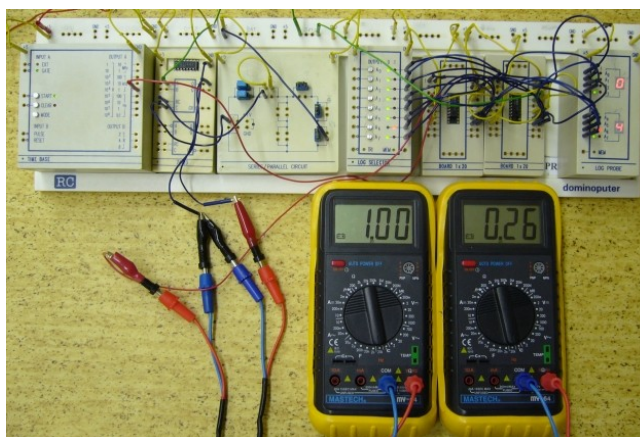
5) fotografie sestaveného zařízení



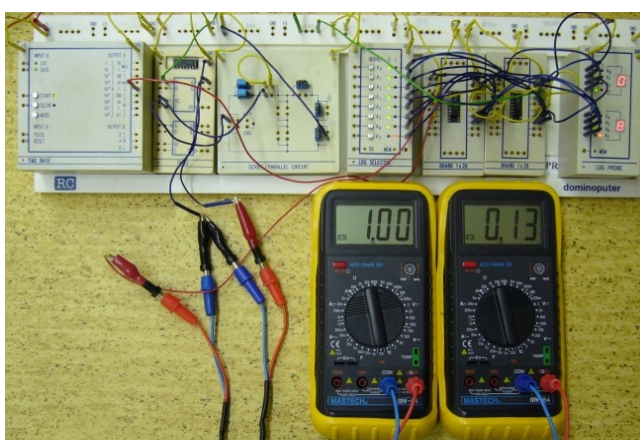
Obrázek č. 76



Obrázek č. 77



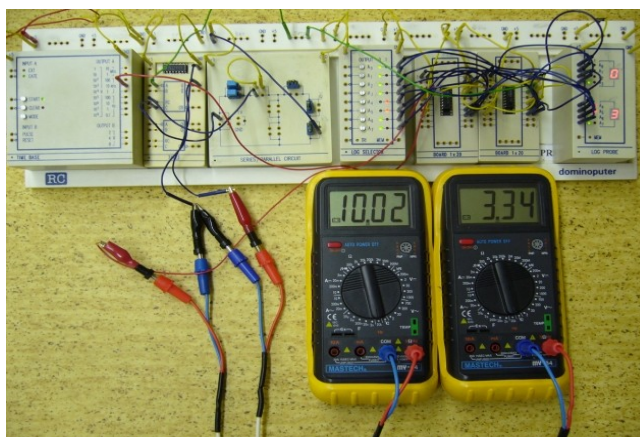
Obrázek č. 78



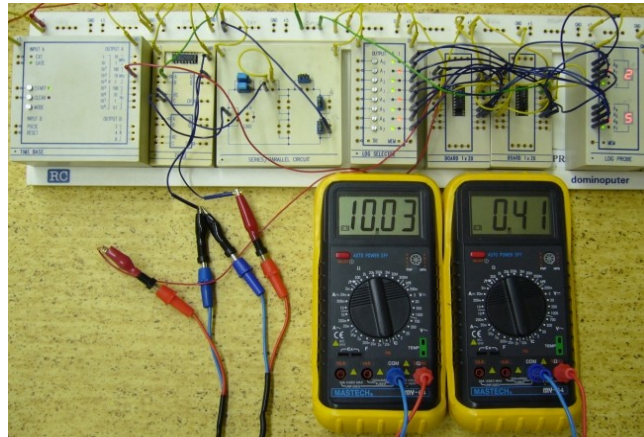
Obrázek č. 79

K testování obvodu bylo z technických důvodů nutné použití dvojího kmitočtu 1kHz a 10kHz. Důvodem byl rozsah měřicího přístroje „*Mastech MV – 64*“ 20kHz.

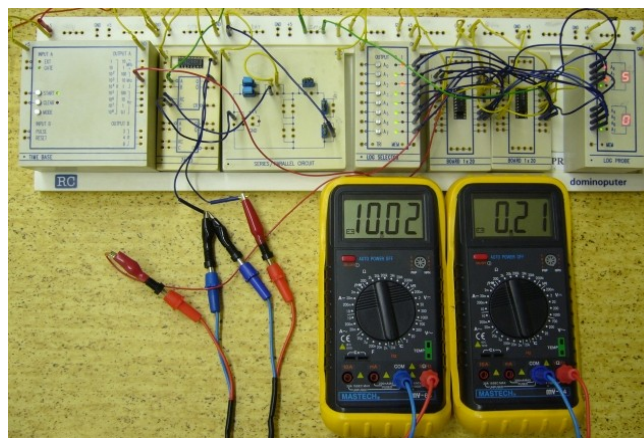
Obvod jako dělič kmitočtu při frekvenci 10 kHz:



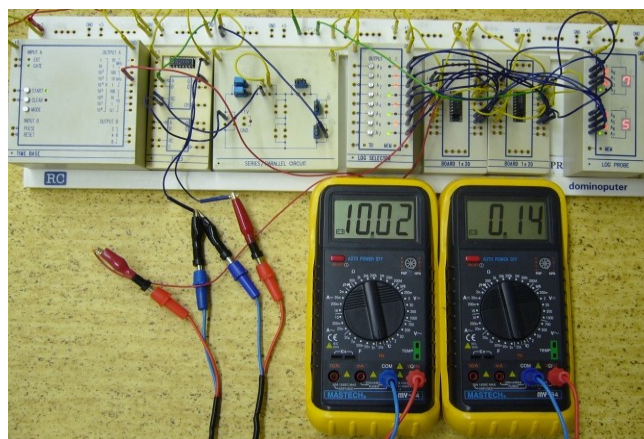
Obrázek č. 80



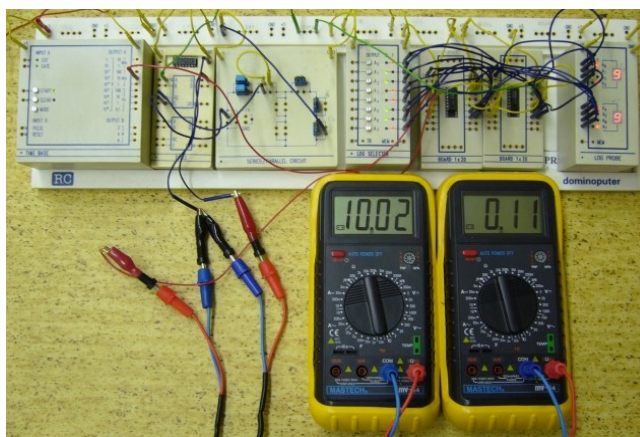
Obrázek č. 81



Obrázek č. 82



Obrázek č. 83



Obrázek č. 84

6) závěr

Zapojení obvodu proběhlo bez problémů a je možné jej realizovat v praxi. Zařízení pracuje dle popsané funkce. Při konstrukci tohoto zapojení je však možné, že mírné obtíže způsobí komplikovaná dostupnost IO 74192 v provedení TTL. V současné době se v tomto případě jedná již o méně používaný typ integrovaného obvodu.

11.4 Úloha č. 4:

(nejvíce náročná úloha)

Generátor sinusového signálu tvořený obvody D

V některých případech je výstupem ze simulačního programu nejen funkční schéma, ale také průběh a tvar výstupního signálu. Obtížnost této úlohy je nejen v rozsáhlosti zapojení, ale též v požadavku dosáhnout co nejlepšího výstupního sinusového signálu. Zatímco v úkolu č. 1 bylo výstupním zobrazení možno provést např. pouze pomocí signalizační LED diody, v případě tohoto zapojení bude zapotřebí použití dvoukanalového osciloskopu k současnému zobrazení vstupního a výstupního signálu.

Jeden z možných způsobů řešení

Nejdříve opět začneme úpravou slovního zadání úkolu:

1) Funkce - 8 klopných obvodů D (4 x IO 7474) zapojených kaskádně (sériově) za sebou (z výstupu Q do vstupu D následujícího obvodu) pracují jako kruhový registr. Do všech obvodů se přivádí současně signál CLK (získaný generátorem hodin). Vývody PR a CLR všech obvodů musí být připojeny na log. „1“. Výstupy klopných obvodů Q1 - Q7 jsou připojeny přes váhové rezistory R1 – R7 na kondenzátor C1. Na tomto kondenzátoru vzniká součet, nebo rozdíl napětí podle logických úrovní výstupů Qn. Výstupní napětí tvaru sinus je měřitelné standardním osciloskopem.

2) Zadání – Dle nakresleného schématu a pomocí modulové stavebnice DOMINOPUTER postavte generátor sinusového průběhu s integrovanými obvody 7474 (8 ks klopných obvodů D). Řídící kmitočet AKO o frekvenci 1 kHz generovaný časovou základnou TIME BASE překontrolujte pomocí programu RC 2000 a jeho průběh zaznamenejte pomocí příkazu (printscreen) a vložte do souboru (protokolu) jako JPG. V zapojení obvodu rovněž použijte 7 příslušných rezistorů,

připojených na výstup jednotlivých klopných obvodů. Výstupní signál obvodu odměřte pomocí standardního osciloskopu. Ke své práci použijte katalogové listy obvodu (datasheet). Schéma zapojení a celý protokol zašlete v souboru (ZIP) na dílnu DSIM. Přes vnitřní datovou síť SOUE uložte soubor na server do složky DSIM.

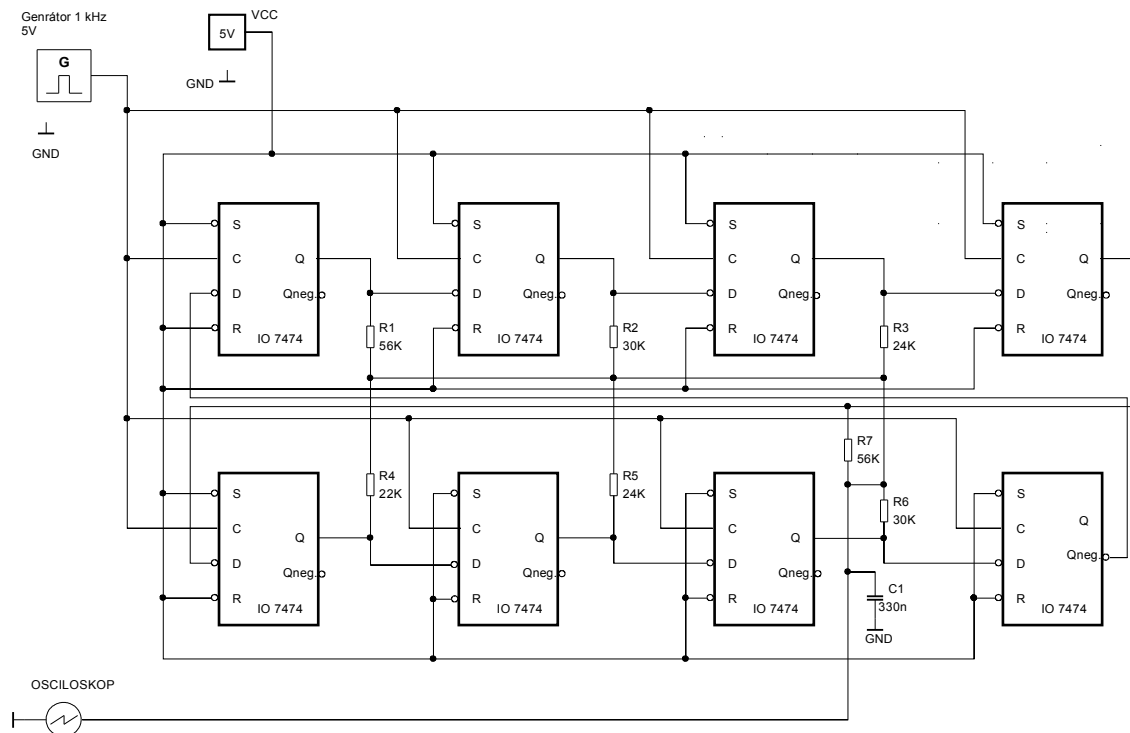
Struktura protokolu

- 1) funkce obvodu
- 2) zadání protokolu
- 3) schéma zapojení obvodu
- 4) schéma zapojení pinů obvodu 7474 N
- 5) fotografie sestaveného obvodu
- 6) fotografie osciloskopu
- 7) detail stínítka osciloskopu
- 8) detail modulu stavěnice DOMINOPUTER PC PIO INTERFACE
- 9) závěr

Obtížnost tohoto zapojení je dána převážně kladením důrazu na vysokou kvalitu vodičů, na přesnost a hodnoty součástek, na výborné kontaktní vlastnosti a rovněž na spolehlivost při zapojování obvodu. Měřicí přístroje a pomůcky by měly splňovat standardní požadavky měření. Výstupem ze simulačního programu je mj. detail stínítka osciloskopu, který napomůže při porovnávání simulovaného vstupního a skutečného výstupního signálu. V našem případě se jedná pouze o ověření skutečnosti přeměny vstupního obdélníkového signálu na výstupní signál sinusový bez dalších technických požadavků.

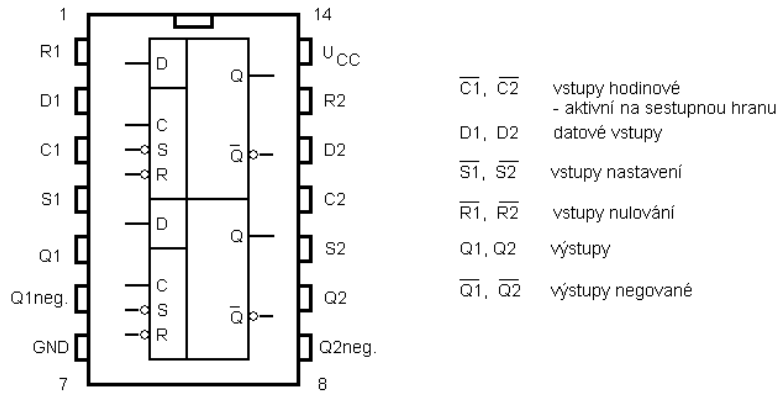
Po překreslení schématu a zhotovení obvodu dle zadání bude následovat odměření výstupního sinusového signálu a jeho porovnání se signálem pouze simulovaným.

3) schéma zapojení obvodu



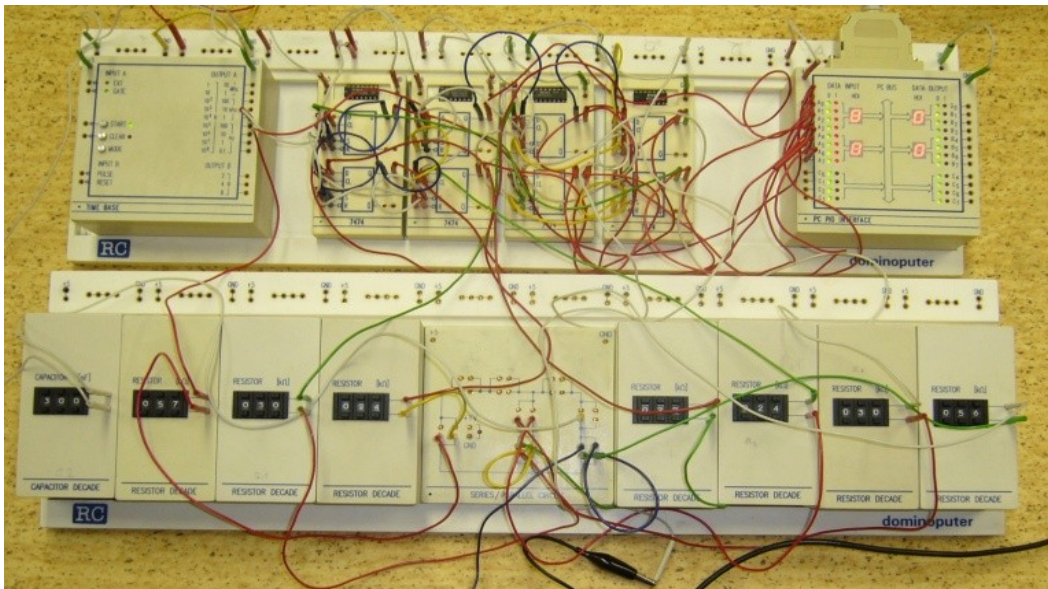
Obrázek č. 85

4) schéma zapojení pinů obvodu 7474 N



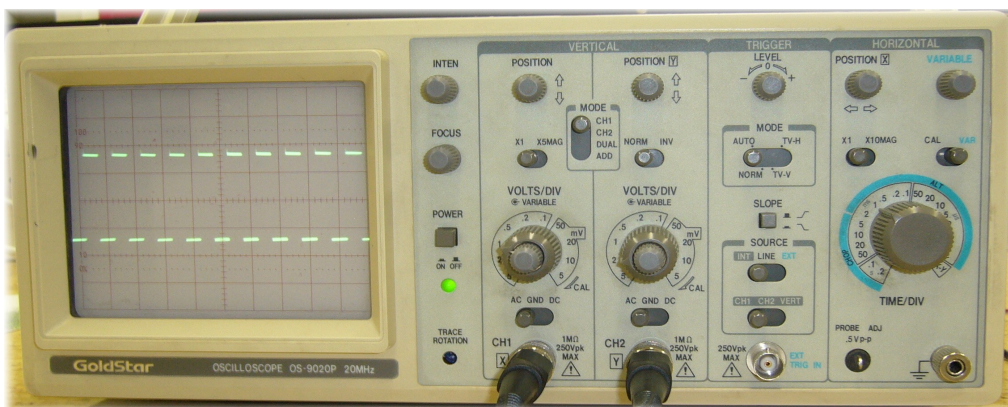
Obrázek č. 86

5) fotografie sestaveného obvodu



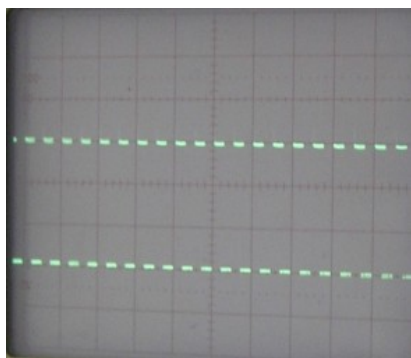
Obrázek č. 87

6) fotografie osciloskopu GoldStar

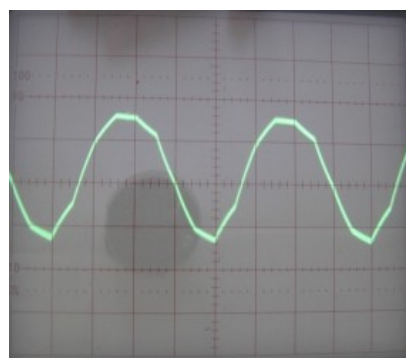


Obrázek č. 88

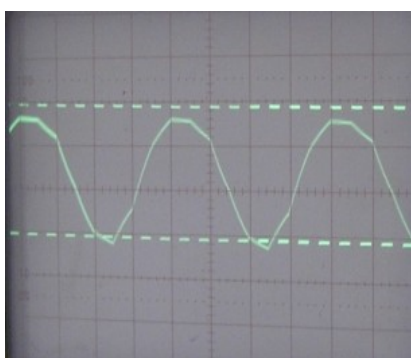
7) detail stínítka osciloskopu



Obrázek č. 89



Obrázek č. 90



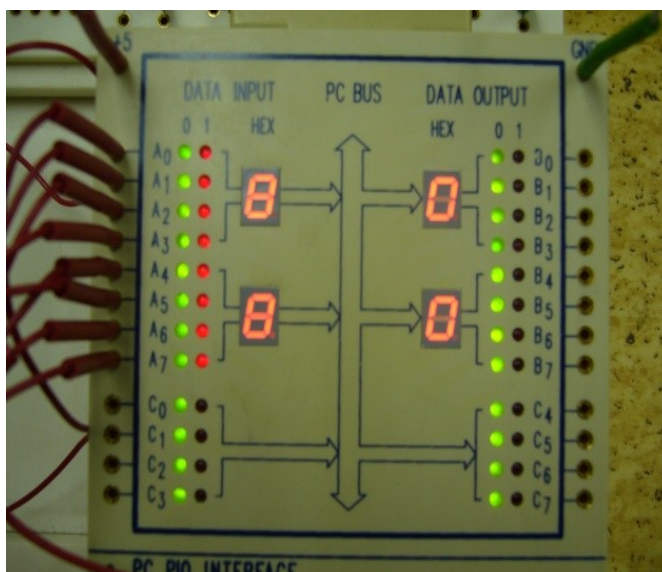
Obrázek č. 91

obr. 89 vstupní signál

obr. 90 výstupní signál (dle R = E12)

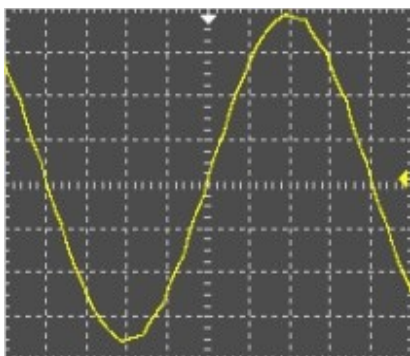
obr. 91 vstupní signál / výstupní signál

8) detail modulu stavebnice DOMINOPUTER PC PIO INTERFACE



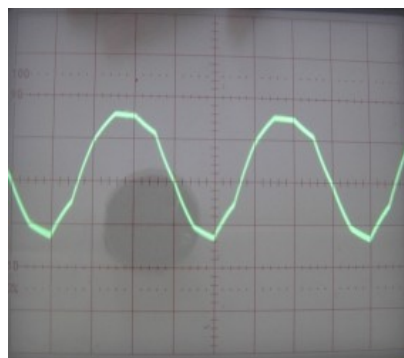
Obrázek č. 92

9) porovnání signálů - simulovaný signál, naměřený signál



Obrázek č. 93

simulovaný signál



Obrázek č. 94

naměřený signál

10) závěr

Zadání úkolu „Generátor sinusového signálu tvořený obvody D“ je po teoretické stránce velmi dobrým příkladem provázanosti číslicové a analogové techniky. Pro jeho úplnou a dostatečnou realizaci je zapotřebí rozsáhlá a kvalitní součástková základna, která umožní dosažení dobrých technických vlastností obvodu. Ověřování funkčnosti obvodu bylo prováděno ve třech etapách, přičemž v každé etapě obvod splňoval podmínky zadání v jiném rozsahu. Obrazový záznam stínítka osciloskopu byl pořízen v průběhu druhé etapy, kdy obvod splňoval podmínky zadání téměř v plném rozsahu. V první etapě měření docházelo k velmi výraznému zkreslení výstupního sinusového signálu (z důvodu nepřesnosti rezistorů). Ve třetí etapě měření došlo téměř k úplnému odstranění výstupního zkreslení sinusového průběhu. První ani třetí etapa měření není v protokolu zaznamenána. Z technických důvodů se orientační kontrola kmitočtu o frekvenci 1kHz nepodařila ověřit pomocí programu RC2000. Tato varianta kontroly kmitočtu byla nahrazena kontrolou pomocí dvoukanálového osciloskopu GoldStar. Fotografie modulu stavebnice DOMINOPUTER - PC PIO INTERFACE vlivem vysokého kmitočtu zobrazuje současně aktivní úroveň log. „1“ a log. „0“ na vstupu A0 – A7. Rovněž toto zobrazení je nutné považovat pouze za informativní.

Vlastní poznámky k manuálu

Vlastní poznámky k manuálu

Vlastní poznámky k manuálu

Vlastní poznámky k manuálu

Vlastní poznámky k manuálu